

57810-085
Masayuki HATA, et al.
January 29, 2004

McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 1 4 1 6
Application Number:

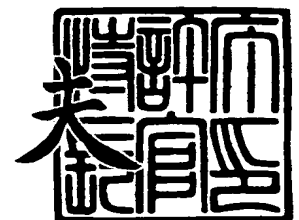
[ST. 10/C]: [J P 2 0 0 3 - 0 3 1 4 1 6]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 9 3 9 0

【書類名】 特許願

【整理番号】 NPA1020041

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01S 5/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 畑 雅幸

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 戸田 忠夫

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 岡本 重之

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 井上 大二郎

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子およびその製造方法

【特許請求の範囲】

【請求項 1】 少なくとも裏面の一部に転位の集中している領域を有する基板と、

前記基板の表面上に形成された半導体素子層と、

前記基板の裏面上の前記転位の集中している領域に形成された絶縁膜と、

前記基板の裏面の前記転位の集中している領域以外の領域に接触するように形成された裏面側電極とを備えた、半導体素子。

【請求項 2】 前記半導体素子層は、少なくとも表面の一部に前記転位の集中している領域を有しており、

前記半導体素子層の表面の前記転位の集中している領域以外の領域に接触するように形成された表面側電極をさらに備える、請求項 1 に記載の半導体素子。

【請求項 3】 基板の表面上に形成され、少なくとも表面の一部に転位の集中している領域を有する半導体素子層と、

前記半導体素子層の表面上の前記転位の集中している領域に形成された絶縁膜と、

前記半導体素子層の表面の前記転位の集中している領域以外の領域に接触するように形成された表面側電極とを備えた、半導体素子。

【請求項 4】 基板の表面上に形成され、少なくとも表面の一部に転位の集中している領域を有する半導体素子層と、

前記半導体素子層の表面の前記転位の集中している領域よりも内側の領域に形成された凹部と、

前記半導体素子層の表面の前記転位の集中している領域以外の領域に接触するように形成された表面側電極とを備えた、半導体素子。

【請求項 5】 基板の表面上に形成され、少なくとも表面の一部に転位の集中している領域を有する半導体素子層と、

前記半導体素子層の表面の前記転位の集中している領域に形成された高抵抗領域と、

前記半導体素子層の表面の前記転位の集中している領域以外の領域に接触するように形成された表面側電極とを備えた、半導体素子。

【請求項 6】 前記基板は、少なくとも裏面の一部に前記転位の集中している領域を有しており、

前記基板の裏面の前記転位の集中している領域以外の領域に接触するように形成された裏面側電極をさらに備える、請求項 3～5 のいずれか 1 項に記載の半導体素子。

【請求項 7】 前記基板は、窒化物系半導体基板を含む、請求項 1～6 のいずれか 1 項に記載の半導体素子。

【請求項 8】 少なくとも裏面の一部に転位の集中している領域を有する基板の表面上に、半導体素子層を形成する工程と、

前記基板の裏面に接触するように、裏面側電極を形成する工程と、

前記半導体素子層および前記裏面側電極の形成後に、前記転位の集中している領域を除去する工程とを備えた、半導体素子の製造方法。

【請求項 9】 前記転位の集中している領域を除去する工程は、

前記基板の裏面から前記半導体素子層の表面までを実質的に同じ幅で除去する工程を含む、請求項 8 に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体素子およびその製造方法に関し、特に、基板上に半導体素子層が形成された半導体素子およびその製造方法に関する。

【0002】

【従来の技術】

従来、基板上に半導体素子層が形成された半導体素子として、発光ダイオード素子や半導体レーザ素子などが知られている（たとえば、特許文献 1 参照）。

【0003】

上記特許文献 1 には、窒化物系半導体基板上に、複数の窒化物系半導体層が形成された窒化物系半導体レーザ素子が開示されている。具体的には、上記特許文

献1に開示された窒化物系半導体レーザ素子では、n型Ga_{0.5}N_{0.5}基板上に、n型窒化物系半導体層、窒化物系半導体からなる発光層、および、p型窒化物系半導体層が順次形成されている。そして、p型窒化物系半導体層には、電流通路部としてのリッジ部が形成されているとともに、リッジ部上には、p側電極が形成されている。また、n型Ga_{0.5}N_{0.5}基板の裏面上には、n側電極が形成されている。

【0004】

上記のような基板の裏面上に電極を形成する半導体素子では、基板の裏面に転位が存在する場合、基板の裏面の転位の存在している領域に電流が流れることによりリーク電流が発生する。このため、上記特許文献1では、n型Ga_{0.5}N_{0.5}基板を横方向成長により作製することによって、n型Ga_{0.5}N_{0.5}基板に存在する転位を低減している。具体的な基板の作製方法としては、まず、サファイア基板上の所定領域にマスク層を形成した後、そのマスク層を選択成長マスクとして、サファイア基板上にn型Ga_{0.5}N_{0.5}層を横方向成長させる。この際、n型Ga_{0.5}N_{0.5}層は、サファイア基板上のマスク層が形成されていない領域に選択的に縦方向に成長した後、徐々に横方向に成長する。このように、n型Ga_{0.5}N_{0.5}層が横方向に成長することにより転位が横方向へ曲げられるので、転位が縦方向に伝播されるのが抑制される。これにより、上面に達する転位が減少されたn型Ga_{0.5}N_{0.5}層が形成される。その後、n型Ga_{0.5}N_{0.5}層のマスク層よりも下方の領域（サファイア基板など）を除去することによって、転位が低減されたn型Ga_{0.5}N_{0.5}基板が形成される。

【0005】

【特許文献1】

特開平11-214798号公報

【発明が解決しようとする課題】

しかしながら、上記特許文献1の方法では、縦方向に成長が進行するマスク層が形成されていない領域上では、転位の集中した部分が形成されるという不都合がある。このような転位の集中した領域を有するn型Ga_{0.5}N_{0.5}層からn型Ga_{0.5}N_{0.5}基板を作製した場合に、n型Ga_{0.5}N_{0.5}基板の裏面の転位の集中している領域に、n側電極が形成されると、n型Ga_{0.5}N_{0.5}基板の裏面の転位の集中している領域に電流が流れることによりリーク電流が発生するという不都合が生じる。この場合、素子

の定電流駆動時の光出力が不安定になるので、素子の動作を安定化するのが困難であるという問題点がある。

【0006】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、素子の動作を安定化することが可能な半導体素子を提供することである。

【0007】

この発明のもう1つの目的は、素子の動作を安定化することが可能な半導体素子の製造方法を提供することである。

【0008】

【課題を解決するための手段および発明の効果】

上記目的を達成するために、この発明の第1の局面による半導体素子は、少なくとも裏面の一部に転位の集中している領域を有する基板と、基板の表面上に形成された半導体素子層と、基板の裏面上の転位の集中している領域に形成された絶縁膜と、基板の裏面の転位の集中している領域以外の領域に接触するように形成された裏面側電極とを備えている。

【0009】

この第1の局面による半導体素子では、上記のように、基板の裏面上の転位の集中している領域に、絶縁膜を形成するとともに、基板の裏面の転位の集中している領域以外の領域に接触するように、裏面側電極を形成することによって、基板の裏面の転位の集中している領域は、絶縁膜により露出しないように覆われるので、基板の裏面の転位の集中している領域に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。また、転位の集中している領域に流れる電流を低減することができるので、転位の集中している領域からの不必要な発光を低減できる。

【0010】

上記第1の局面による半導体素子において、好ましくは、半導体素子層は、少なくとも表面の一部に転位の集中している領域を有しており、半導体素子層の表

面の転位の集中している領域以外の領域に接触するように形成された表面側電極をさらに備える。このように構成すれば、半導体素子層の表面の転位の集中している領域に電流が流れることに起因するリーク電流の発生を抑制することができる。その結果、素子の定電流駆動時の光出力を安定化することができるので、半導体素子層の表面にも転位の集中している領域が存在する場合にも、半導体素子の動作を安定化することができる。また、転位の集中している領域に流れる電流を低減することができるので、転位の集中している領域からの不必要な発光を低減できる。

【0 0 1 1】

この発明の第2の局面による半導体素子は、基板の表面上に形成され、少なくとも表面の一部に転位の集中している領域を有する半導体素子層と、半導体素子層の表面上の転位の集中している領域に形成された絶縁膜と、半導体素子層の表面の転位の集中している領域以外の領域に接触するように形成された表面側電極とを備えている。

【0 0 1 2】

この第2の局面による半導体素子では、上記のように、半導体素子層の表面上の転位の集中している領域に絶縁膜を形成するとともに、半導体素子層の表面の転位の集中している領域以外の領域に接触するように、表面側電極を形成することによって、半導体素子層の表面の転位の集中している領域は、絶縁膜により露出しないように覆われるので、半導体素子層の表面の転位の集中している領域に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。また、転位の集中している領域に流れる電流を低減することができるので、転位の集中している領域からの不必要な発光を低減できる。

【0 0 1 3】

この発明の第3の局面による半導体素子は、基板の表面上に形成され、少なくとも表面の一部に転位の集中している領域を有する半導体素子層と、半導体素子層の表面の転位の集中している領域よりも内側の領域に形成された凹部と、半導

体素子層の表面の転位の集中している領域以外の領域に接触するように形成された表面側電極とを備えている。

【0014】

この第3の局面による半導体素子では、上記のように、半導体素子層の表面の転位の集中している領域よりも内側の領域に、凹部を形成するとともに、半導体素子層の表面の転位の集中している領域以外の領域に接触するように、表面側電極を形成することによって、半導体素子層の表面の転位の集中している領域に電流が流れることに起因するリーク電流の発生を抑制することができる。その結果、素子の定電流駆動時の光出力を安定化することができるので、半導体素子の動作を安定化することができる。また、半導体素子の一例として発光素子に適用する場合、半導体素子層の表面の転位の集中している領域よりも内側の領域と、半導体素子層の表面の転位の集中している領域とが凹部により分断されるので、半導体素子層の表面の転位の集中している領域よりも内側の領域で発生した光が、半導体素子層の表面の転位の集中している領域で吸収されるのを抑制することができる。これにより、転位の集中している領域で吸収された光が意図しない波長で再び発光するのを抑制することができるので、このような再発光に起因する色純度の劣化を抑制することができる。

【0015】

この発明の第4の局面による半導体素子は、基板の表面上に形成され、少なくとも表面の一部に転位の集中している領域を有する半導体素子層と、半導体素子層の表面の転位の集中している領域に形成された高抵抗領域と、半導体素子層の表面の転位の集中している領域以外の領域に接触するように形成された表面側電極とを備えている。

【0016】

この第4の局面による半導体素子では、上記のように、半導体素子層の表面の転位の集中している領域に、高抵抗領域を形成するとともに、半導体素子層の表面の転位の集中している領域以外の領域に接触するように、表面側電極を形成することによって、半導体素子層の表面の転位の集中している領域は、高抵抗領域が形成されることにより電流が流れにくくなるので、半導体素子層の表面の転位

の集中している領域に電流が流れることに起因するリーク電流の発生を抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。また、転位の集中している領域に流れる電流を低減することができるので、転位の集中している領域からの不必要な発光を低減できる。

【0017】

上記の半導体素子において、好ましくは、基板は、少なくとも裏面の一部に転位の集中している領域を有しており、基板の裏面の転位の集中している領域以外の領域に接触するように形成された裏面側電極をさらに備える。このように構成すれば、基板の裏面の転位の集中している領域に電流が流れることに起因するリーク電流の発生を抑制することができる。その結果、素子の定電流駆動時の光出力を安定化することができるので、基板の裏面にも転位の集中している領域が存在する場合にも、半導体素子の動作を安定化することができる。また、転位の集中している領域に流れる電流を低減することができるので、転位の集中している領域からの不必要な発光を低減できる。

【0018】

上記の半導体素子において、基板は、窒化物系半導体基板を含んでもよい。このように構成すれば、窒化物系半導体基板にリーク電流が発生するのを抑制することができる。

【0019】

この発明の第5の局面による半導体素子の製造方法は、少なくとも裏面の一部に転位の集中している領域を有する基板の表面上に、半導体素子層を形成する工程と、基板の裏面に接触するように、裏面側電極を形成する工程と、半導体素子層および裏面側電極の形成後に、転位の集中している領域を除去する工程とを備えている。

【0020】

この第5の局面による半導体素子の製造方法では、上記のように、半導体素子層および裏面側電極の形成後に、転位の集中している領域を除去することによって、基板の裏面の転位の集中している領域に電流が流れることに起因するリーク

電流の発生を容易に抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、動作の安定した半導体素子を容易に製造することができる。また、半導体素子の一例として発光素子に適用する場合、半導体素子層で発生した光が、基板の裏面の転位の集中している領域で吸収されるのを容易に抑制することができる。これにより、容易に、転位の集中している領域で吸収された光が意図しない波長で再び発光するのを抑制することができるので、このような再発光に起因する色純度の劣化を抑制することができる。

【0021】

上記第5の局面による半導体素子の製造方法において、好ましくは、転位の集中している領域を除去する工程は、基板の裏面から半導体素子層の表面までを実質的に同じ幅で除去する工程を含む。このように構成すれば、基板の裏面から半導体素子層の表面まで延びる貫通欠陥を容易に除去することができる。

【0022】

なお、上記の半導体素子の製造方法において、基板は、窒化物系半導体基板を含んでもよい。このように構成すれば、窒化物系半導体基板にリーク電流が発生するのを抑制することが可能な窒化物系半導体素子を容易に形成することができる。

【0023】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0024】

（第1実施形態）

図1は、本発明の第1実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。図2は、図1に示した第1実施形態による窒化物系半導体レーザ素子の発光層の詳細を示した拡大断面図である。まず、図1および図2を参照して、第1実施形態による窒化物系半導体レーザ素子の構造について説明する。

【0025】

第1実施形態による窒化物系半導体レーザ素子では、図1に示すように、約1

00 μm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する酸素がドーピングされたウルツ鉱型構造の n 型 GaN 基板 1 の (0001) 面上に、約 100 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量を有する Si がドーピングされた n 型 GaN からなる n 型層 2 が形成されている。n 型層 2 上には、約 400 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する Si がドーピングされた n 型 Al_{0.05}Ga_{0.95}N からなる n 型クラッド層 3 が形成されている。なお、n 型 GaN 基板 1 は、本発明の「基板」および「窒化物系半導体基板」の一例であり、n 型層 2 および n 型クラッド層 3 は、本発明の「半導体素子層」の一例である。

【0026】

n 型クラッド層 3 上には、発光層 4 が形成されている。この発光層 4 は、図 2 に示すように、n 型キャリアブロック層 4 a と、n 型光ガイド層 4 b と、MQW 活性層 4 e と、p 型光ガイド層 4 f と、p 型キャップ層 4 g とから構成されている。n 型キャリアブロック層 4 a は、約 5 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する Si がドーピングされた n 型 Al_{0.1}Ga_{0.9}N からなる。n 型光ガイド層 4 b は、約 100 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する Si がドーピングされた n 型 GaN からなる。また、MQW 活性層 4 e は、約 20 nm の厚みを有するアンドープ In_{0.05}Ga_{0.95}N からなる 4 層の障壁層 4 c と、約 3 nm の厚みを有するアンドープ In_{0.15}Ga_{0.85}N からなる 3 層の井戸層 4 d とが交互に積層されている。また、p 型光ガイド層 4 f は、約 100 nm の厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有する Mg がドーピングされた p 型 GaN からなる。p 型キャップ層 4 g は、約 20 nm の厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有する Mg がドーピングされた p 型 Al_{0.1}Ga_{0.9}N からなる。なお、発光層 4 は、本発明の「半導体素子層」の一例である。

【0027】

そして、図1に示すように、発光層4上には、凸部を有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型Al_{0.05}Ga_{0.95}Nからなるp型クラッド層5が形成されている。このp型クラッド層5の凸部は、約1.5 μm の幅と約300 nmの高さを有する。また、p型クラッド層5の凸部以外の平坦部は、約100 nmの厚みを有する。そして、p型クラッド層5の凸部上には、約10 nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型GaNからなるp型コンタクト層6が形成されている。そして、p型クラッド層5の凸部とp型コンタクト層6とによって、所定の方向に延びるストライプ状（細長状）のリッジ部7が構成される。なお、p型クラッド層5およびp型コンタクト層6は、本発明の「半導体素子層」の一例である。

【0028】

そして、リッジ部7を構成するp型コンタクト層6上には、下層から上層に向かって、約5 nmの厚みを有するPt層と、約100 nmの厚みを有するPd層と、約150 nmの厚みを有するAu層とからなるp側オーミック電極9が形成されている。なお、p側オーミック電極9は、本発明の「表面側電極」の一例である。また、p型クラッド層5の凸部以外の平坦部の表面上には、リッジ部7およびp側オーミック電極9の側面を覆うように、約250 nmの厚みを有するSiN膜からなる絶縁膜10が形成されている。絶縁膜10の表面上には、p側オーミック電極9の上面に接触するように、下層から上層に向かって、約100 nmの厚みを有するTi層と、約100 nmの厚みを有するPd層と、約3 μm の厚みを有するAu層とからなるp側パッド電極11が形成されている。

【0029】

ここで、n型GaN基板1および窒化物系半導体各層（2～5）の端部の近傍には、n型GaN基板1の裏面からp型クラッド層5の平坦部の表面まで延びるとともに、約10 μm の幅を有する転位の集中している領域8が、約400 μm の周期でストライプ状（細長状）に形成されている。そして、第1実施形態では、n型GaN基板1の裏面上の転位の集中している領域8を覆うように、約25

0 nmの厚みと約40 μ mの幅とを有するSiO₂膜からなる絶縁膜12が形成されている。また、n型GaN基板1の裏面上には、n型GaN基板1の裏面の転位の集中している領域8以外の領域に接触するとともに、絶縁膜12を覆うように、n側電極13が形成されている。このn側電極13は、n型GaN基板1の裏面に近い方から順に、約10 nmの厚みを有するAl層と、約20 nmの厚みを有するPt層と、約300 nmの厚みを有するAu層とからなる。なお、n側電極13は、本発明の「裏面側電極」の一例である。

【0030】

第1実施形態では、上記のように、n型GaN基板1の裏面上の転位の集中している領域8に、絶縁膜12を形成するとともに、n型GaN基板1の裏面の転位の集中している領域8以外の領域に接触するように、n側電極13を形成することによって、n型GaN基板1の裏面の転位の集中している領域8は、絶縁膜12により露出しないように覆われるので、n型GaN基板1の裏面の転位の集中している領域8に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。また、転位の集中している領域8に流れる電流を低減することができるので、転位の集中している領域8からの不必要な発光を低減できる。

【0031】

図3～図12は、図1に示した第1実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。次に、図1～図12を参照して、第1実施形態による窒化物系半導体レーザ素子の製造プロセスについて説明する。

【0032】

まず、図3～図6を参照して、n型GaN基板1の形成プロセスについて説明する。具体的には、図3に示すように、MOCVD (Metal Organic Chemical Vapor Deposition：有機金属気相堆積)法を用いて、基板温度を約600℃に保持した状態で、サファイア基板21上に、約20 nmの厚みを有するAlGaN層22を成長させる。その後、基板温度

を約 1100°C に変えて、AlGa_N層 22 上に、約 $1\text{ }\mu\text{m}$ の厚みを有する Ga_N層 23 を成長させる。この際、Ga_N層 23 の全領域に、縦方向に伝播された転位が、約 $5 \times 10^8\text{ cm}^{-2}$ 以上（たとえば、約 $5 \times 10^9\text{ cm}^{-2}$ ）の密度で形成される。

【0033】

次に、図 4 に示すように、プラズマ CVD 法を用いて、Ga_N層 23 上に、約 $10\text{ }\mu\text{m}$ の間隔を隔てて、約 $390\text{ }\mu\text{m}$ の幅と約 200 nm の厚みとを有する Si_N または SiO₂ からなるマスク層 24 を、約 $400\text{ }\mu\text{m}$ の周期でストライプ状（細長状）に形成する。

【0034】

次に、図 5 に示すように、HVPE（Halide Vapor Phase Epitaxy：ハライド気相成長）法を用いて、基板温度を約 1100°C に保持した状態で、マスク層 24 を選択成長マスクとして、Ga_N層 23 上に、約 $150\text{ }\mu\text{m}$ の厚みを有するとともに、約 $5 \times 10^{18}\text{ cm}^{-3}$ のキャリア濃度を有する酸素がドーピングされた n 型 Ga_N層 1a を横方向成長させる。この際、n 型 Ga_N層 1a は、マスク層 24 が形成されていない Ga_N層 23 上に選択的に縦方向に成長した後、徐々に横方向に成長する。このため、マスク層 24 が形成されていない Ga_N層 23 上に位置する n 型 Ga_N層 1a には、約 $5 \times 10^8\text{ cm}^{-2}$ 以上（たとえば、約 $5 \times 10^9\text{ cm}^{-2}$ ）の密度で縦方向に伝播された転位の集中している領域 8 が、約 $10\text{ }\mu\text{m}$ の幅でストライプ状（細長状）に形成される。その一方、マスク層 24 上に位置する n 型 Ga_N層 1a には、n 型 Ga_N層 1a が横方向に成長することにより転位が横方向へ曲げられるので、縦方向に伝播された転位が形成されにくく、転位密度は、約 $5 \times 10^7\text{ cm}^{-2}$ 以下（たとえば、約 $1 \times 10^6\text{ cm}^{-2}$ ）である。この後、n 型 Ga_N層 1a のマスク層 24 よりも下方の領域（サファイア基板 21 など）を除去する。このようにして、図 6 に示すように、約 $5 \times 10^{18}\text{ cm}^{-3}$ のキャリア濃度を有する酸素がドーピングされた n 型 Ga_N基板 1 を形成する。

【0035】

次に、図 7 に示すように、MOCVD 法を用いて、n 型 Ga_N基板 1 上に、n

型層 2、n 型クラッド層 3、発光層 4、p 型クラッド層 5 および p 型コンタクト層 6 を順次成長させる。

【0036】

具体的には、基板温度を約 1100℃の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガスと、 NH_3 およびTMGaからなる原料ガスと、 SiH_4 からなるドーパントガスとを用いて、n 型GaN基板 1 上に、約 100 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量を有する Si がドーピングされた n 型GaN からなる n 型層 2 を成長させる。この後、原料ガスに TMAI をさらに加えて、n 型層 2 上に、約 400 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する Si がドーピングされた n 型 $Al_{0.05}Ga_{0.95}N$ からなる n 型クラッド層 3 を成長させる。

【0037】

続いて、図 2 に示したように、n 型クラッド層 3 (図 7 参照) 上に、約 5 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する Si がドーピングされた n 型 $Al_{0.1}Ga_{0.9}N$ からなる n 型キャリアブロック層 4 a を成長させる。

【0038】

次に、基板温度を約 800℃の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガスと、 NH_3 およびTMGaからなる原料ガスと、 SiH_4 からなるドーパントガスとを用いて、n 型キャリアブロック層 4 a 上に、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する Si がドーピングされた n 型GaN からなる n 型光ガイド層 4 b を成長させる。

【0039】

この後、原料ガスに TMI n をさらに加えるととともに、ドーパントガスを用いなくて、n 型光ガイド層 4 b 上に、約 20 nm の厚みを有するアンドープ $In_{0.05}Ga_{0.95}N$ からなる 4 層の障壁層 4 c と、約 3 nm の厚みを有するアンドープ $In_{0.15}Ga_{0.85}N$ からなる 3 層の井戸層 4 d とを交互に成長させることにより MQW 活性層 4 e を形成する。

【0040】

そして、原料ガスを NH_3 および TMGa に変えるとともに、 Cp_2Mg からなるドーパントガスを用いて、MQW活性層4e上に、約100nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型GaNからなるp型光ガイド層4fを成長させる。この後、原料ガスにTMAIをさらに加えて、p型光ガイド層4f上に、約20nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型Al_{0.1}Ga_{0.9}Nからなるp型キャップ層4gを成長させる。これにより、n型キャリアブロック層4a、n型光ガイド層4b、MQW活性層4e、p型光ガイド層4fおよびp型キャップ層4gからなる発光層4が形成される。

【0041】

次に、図7に示すように、基板温度を約1100℃の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガスと、 NH_3 、 TMGa およびTMAIからなる原料ガスと、 Cp_2Mg からなるドーパントガスとを用いて、発光層4上に、約400nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型Al_{0.05}Ga_{0.95}Nからなるp型クラッド層5を成長させる。この後、原料ガスを NH_3 および TMGa に変えて、p型クラッド層5上に、約10nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型GaNからなるp型コンタクト層6を成長させる。

【0042】

この際、n型GaN基板1の転位が伝播することにより、n型GaN基板1の裏面からp型コンタクト層6の上面まで延びる転位の集中している領域8が形成される。

【0043】

この後、窒素ガス雰囲気中で、約800℃の温度条件下でアニール処理する。

【0044】

次に、図8に示すように、真空蒸着法を用いて、p型コンタクト層6上の所定領域に、下層から上層に向かって、約5 nmの厚みを有するPt層と、約100 nmの厚みを有するPd層と、約150 nmの厚みを有するAu層とからなるp側オーミック電極9を形成した後、p側オーミック電極9上に、約250 nmの厚みを有するNi層25を形成する。この際、p側オーミック電極9およびNi層25が、約1.5 μ mの幅を有するストライプ状（細長状）になるように形成する。

【0045】

次に、図9に示すように、Cl₂系ガスによるドライエッチングを用いて、Ni層25をマスクとして、p型コンタクト層6およびp型クラッド層5の上面から約300 nmの厚み分をエッチングする。これにより、p型クラッド層5の凸部とp型コンタクト層6とから構成されるとともに、所定の方向に延びるストライプ状（細長状）のリッジ部7が形成される。この後、Ni層25を除去する。

【0046】

次に、図10に示すように、プラズマCVD法を用いて、全面を覆うように、約250 nmの厚みを有するSiN膜（図示せず）を形成した後、p側オーミック電極9の表面上に位置するSiN膜を除去することによって、約250 nmの厚みを有するSiN膜からなる絶縁膜10を形成する。

【0047】

次に、図11に示すように、真空蒸着法を用いて、絶縁膜10の表面上に、p側オーミック電極9の上面に接触するように、下層から上層に向かって、約100 nmの厚みを有するTi層と、約100 nmの厚みを有するPd層と、約3 μ mの厚みを有するAu層とからなるp側パッド電極11を形成する。この後、n型Ga_{0.5}In_{0.5}N基板1の厚みが約100 μ mになるように、n型Ga_{0.5}In_{0.5}N基板1の裏面を研磨する。

【0048】

次に、第1実施形態では、プラズマCVD法、SOG（スピノングラス）法（塗布法）、または、電子ビーム蒸着法を用いて、n型Ga_{0.5}In_{0.5}N基板1の裏面上の全面に、約250 nmの厚みを有するSiO₂膜（図示せず）を形成する。その

後、n型GaN基板1の裏面上の転位の集中している領域8以外の領域に位置するSiO₂膜を除去することによって、図12に示すように、約250nmの厚みと約40μmの幅とを有するSiO₂膜からなる絶縁膜12を形成する。これにより、n型GaN基板1の裏面の転位の集中している領域8が、絶縁膜12により覆われる。

【0049】

この後、図1に示したように、真空蒸着法を用いて、n型GaN基板1の裏面上に、n型GaN基板1の裏面の転位の集中している領域8以外の領域に接触するとともに、絶縁膜12を覆うように、n側電極13を形成する。なお、n側電極13を形成する際には、n型GaN基板1の裏面に近い方から順に、約10nmの厚みを有するAl層と、約20nmの厚みを有するPt層と、約300nmの厚みを有するAu層とを形成する。最後に、素子のp側パッド電極11が形成された側からスクライブライン（図示せず）を形成した後、そのスクライブラインに沿って素子を各チップに劈開することによって、第1実施形態による窒化物系半導体レーザ素子が形成される。

【0050】

（第2実施形態）

図13は、本発明の第2実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。図13を参照して、この第2実施形態では、上記第1実施形態と異なり、n型GaN基板1および窒化物系半導体各層（2～5）の端部の所定領域が除去されている。このため、図1に示した第1実施形態のような転位の集中している領域8が存在しない。また、n型GaN基板1の裏面上には、n型GaN基板1の裏面の全面に接触するように、n型GaN基板1の裏面に近い方から順に、約10nmの厚みを有するAl層と、約20nmの厚みを有するPt層と、約300nmの厚みを有するAu層とからなるn側電極33が形成されている。なお、n側電極33は、本発明の「裏面側電極」の一例である。なお、第2実施形態のその他の構成は、上記第1実施形態と同様である。

【0051】

図14および図15は、図13に示した第2実施形態による窒化物系半導体レ

ーザ素子の製造プロセスを説明するための断面図である。次に、図13～図15を参照して、第2実施形態による窒化物系半導体レーザ素子の製造プロセスについて説明する。

【0052】

まず、図3～図11に示した第1実施形態と同様の製造プロセスを用いて、p側パッド電極11までを形成した後、n型GaN基板1の裏面を研磨する。この後、n型GaN基板1の裏面上に、n型GaN基板1の裏面の全面に接触するように、上記第1実施形態と同様の厚みおよび組成を有するn側電極33を形成することによって、図14に示す構造が得られる。

【0053】

最後に、第2実施形態では、転位の集中している領域8を挟むように、素子のp側パッド電極11が形成された側からスクライブライン40を形成する。具体的には、隣接する素子間の中心線（図示せず）から約10 μ mの位置にスクライブラインを形成する。この後、図15に示すように、そのスクライブライン40（図14参照）に沿って、n型GaN基板1の裏面からp型クラッド層5の凸部以外の平坦部の表面まで延びる転位の集中している領域8が同じ幅で除去されるように、素子を各チップに劈開する。このようにして、図13に示した第2実施形態による窒化物系半導体レーザ素子が形成される。

【0054】

第2実施形態の製造プロセスでは、上記のように、n型GaN基板1の裏面からp型クラッド層5の凸部以外の平坦部の表面まで延びる転位の集中している領域8が同じ幅で除去されるように、素子を各チップに劈開することによって、転位の集中している領域8に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、動作の安定した窒化物系半導体レーザ素子を容易に製造することができる。

【0055】

また、発光層4で発生した光が、転位の集中している領域8で吸収されるのを容易に抑制することができる。これにより、容易に、転位の集中している領域8

で吸収された光が意図しない波長で再び発光するのを抑制することができるので、このような再発光に起因する色純度の劣化を抑制することができる。

【0056】

(第3実施形態)

図16は、本発明の第3実施形態による発光ダイオード素子（半導体素子）の構造を示した断面図である。図17は、図16に示した第3実施形態による発光ダイオード素子の発光層の詳細を示した拡大断面図である。図16および図17を参照して、この第3実施形態では、上記第1実施形態と異なり、本発明を発光ダイオード素子に適用する場合の例について説明する。

【0057】

すなわち、この第3実施形態では、図16に示すように、 n 型GaN基板1上に、約 $5\mu\text{m}$ の厚みを有するSiがドーピングされた n 型GaNからなる n 型クラッド層52が形成されている。なお、 n 型クラッド層52は、本発明の「半導体素子層」の一例である。

【0058】

n 型クラッド層52上には、発光層53が形成されている。この発光層53は、図17に示すように、約 5nm の厚みを有するアンドープGaNからなる6層の障壁層53aおよび約 5nm の厚みを有するアンドープ $\text{In}_{0.35}\text{Ga}_{0.65}\text{N}$ からなる5層の井戸層53bが交互に積層されたMQW活性層53cと、約 10nm の厚みを有するアンドープGaNからなる保護層53dとによって構成されている。なお、発光層53は、本発明の「半導体素子層」の一例である。

【0059】

そして、図16に示すように、発光層53上には、約 $0.15\mu\text{m}$ の厚みを有するMgがドーピングされた p 型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ からなる p 型クラッド層54が形成されている。 p 型クラッド層54上には、約 $0.3\mu\text{m}$ の厚みを有するMgがドーピングされた p 型GaNからなる p 型中間層55が形成されている。なお、 p 型クラッド層54および p 型中間層55は、本発明の「半導体素子層」の一例である。

【0060】

そして、n型GaN基板1および窒化物系半導体各層（52～55）の端部の近傍には、n型GaN基板1の裏面からp型中間層55の上面まで延びる転位の集中している領域56が形成されている。

【0061】

ここで、第3実施形態による発光ダイオード素子では、p型中間層55上の転位の集中している領域56に、約250nmの厚みと約40 μ mの幅とを有するSiO₂膜からなる絶縁膜57が形成されている。また、p型中間層55上には、p型中間層55の上面の転位の集中している領域56以外の領域に接触するとともに、絶縁膜57を覆うように、p側オーミック電極58が形成されている。このp側オーミック電極58は、下層から上層に向かって、約5nmの厚みを有するPt層と、約100nmの厚みを有するPd層と、約150nmの厚みを有するAu層とからなる。なお、p側オーミック電極58は、本発明の「表面側電極」の一例である。そして、p側オーミック電極58上には、下層から上層に向かって、約100nmの厚みを有するTi層と、約100nmの厚みを有するPd層と、約3 μ mの厚みを有するAu層とからなるp側パッド電極59が形成されている。

【0062】

また、第3実施形態では、n型GaN基板1の裏面上に、n型GaN基板1の裏面の転位の集中している領域56以外の領域に接触するように、n側オーミック透明電極60が形成されている。このn側オーミック透明電極60は、n型GaN基板1の裏面に近い方から順に、約5nmの厚みを有するAl層と、約15nmの厚みを有するPt層と、約40nmの厚みを有するAu層とからなる。また、n側オーミック透明電極60の端面と素子の端面との間の距離Wは、約40 μ mである。なお、n側透明電極60は、本発明の「裏面側電極」の一例である。そして、n側オーミック透明電極60の裏面上の所定領域には、n側オーミック透明電極60の裏面に近い方から順に、約100nmの厚みを有するTi層と、約100nmの厚みを有するPd層と、約3 μ mの厚みを有するAu層とからなるn側パッド電極61が形成されている。

【0063】

第3実施形態では、上記のように、p型中間層55上の転位の集中している領域に、絶縁膜57を形成するとともに、p型中間層55の上面の転位の集中している領域56以外の領域に接触するように、p側オーミック電極58を形成することによって、p型中間層55の上面の転位の集中している領域56は、絶縁膜57により露出しないように覆われるので、p型中間層55の上面の転位の集中している領域56に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。また、n型GaN基板1の裏面上に、n型GaN基板1の裏面の転位の集中している領域56以外の領域に接触するように、n側オーミック透明電極60を形成することによって、n型GaN基板1の裏面の転位の集中している領域56に電流が流れることに起因するリーク電流の発生も抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。また、転位の集中している領域56に流れる電流を低減することができるので、転位の集中している領域56からの不必要な発光を低減できる。

【0064】

また、第3実施形態では、n側オーミック透明電極60の端面と素子の端面との間の距離Wを、約 $40\mu\text{m}$ にすることによって、n側オーミック透明電極60上に形成されたn側パッド電極61に半田を融着する場合に、半田が素子の端面（側面）にまで流れるのを抑制することができる。これにより、素子の短絡不良の発生を抑制することができる。

【0065】

図18～図21は、図16に示した第3実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。次に、図16～図21を参照して、第3実施形態による発光ダイオード素子の製造プロセスについて説明する。

【0066】

まず、図18に示すように、MOCVD法を用いて、n型GaN基板1上に、n型クラッド層52、発光層53、p型クラッド層54およびp型中間層55を順次成長させる。

【0067】

具体的には、基板温度を約 1000°C ～約 1200°C （たとえば、約 1150°C ）の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガス（ H_2 含有率：約50%）と、 NH_3 およびTMGaからなる原料ガスと、 SiH_4 からなるドーパントガスとを用いて、n型GaN基板1上に、約 $5\mu\text{m}$ の厚みを有するSiがドーピングされたn型GaNからなるn型クラッド層52を、約 $3\mu\text{m/h}$ の成長速度で成長させる。

【0068】

次に、図17に示したように、基板温度を約 700°C ～約 1000°C （たとえば、約 850°C ）の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガス（ H_2 含有率：約1%～約5%）と、 NH_3 、TEGaおよびTMInからなる原料ガスとを用いて、n型クラッド層52（図18参照）上に、約 5nm の厚みを有するアンドープGaNからなる6層の障壁層53aと、約 5nm の厚みを有するアンドープ $\text{In}_{0.35}\text{Ga}_{0.65}\text{N}$ からなる5層の井戸層53bとを、約 0.4nm/s の成長速度で交互に成長させることによりMQW活性層53cを形成する。続いて、約 10nm の厚みを有するアンドープGaNからなる保護層53dを、約 0.4nm/s の成長速度で成長させる。これにより、MQW活性層53cおよび保護層53dからなる発光層53が形成される。

【0069】

次に、図18に示すように、基板温度を約 1000°C ～約 1200°C （たとえば、約 1150°C ）の成長温度に保持した状態で、 H_2 および N_2 からなるキャリアガス（ H_2 含有率：約1%～約3%）と、 NH_3 、TMGaおよびTMAIからなる原料ガスと、 Cp_2Mg からなるドーパントガスとを用いて、発光層53上に、約 $0.15\mu\text{m}$ の厚みを有するMgがドーピングされたp型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ からなるp型クラッド層54を、約 $3\mu\text{m/h}$ の成長速度で成長させる。続いて、原料ガスを NH_3 およびTMGaに変えて、p型クラッド層54上に、約 $0.3\mu\text{m}$ の厚みを有するMgがドーピングされたp型GaNからなるp型中間層55を、約 $3\mu\text{m/h}$ の成長速度で成長させる。

【0070】

この際、n型GaN基板1の転位が伝播することにより、n型GaN基板1の

裏面から p 型中間層 55 の上面まで延びる転位の集中している領域 56 が形成される。また、 H_2 および N_2 からなるキャリアガスの H_2 の含有率を低くすることによって、窒素ガス雰囲気中でアニール処理することなく、Mg ドーパントを活性化させることができる。

【0071】

次に、第3実施形態では、プラズマCVD法、SOG法（塗布法）、または、電子ビーム蒸着法を用いて、p 型中間層 55 上の全面に、約 250 nm の厚みを有する SiO_2 膜（図示せず）を形成する。その後、p 型中間層 55 上の転位の集中している領域 56 以外の領域に位置する SiO_2 膜を除去することによって、図 19 に示すように、約 250 nm の厚みと約 40 μm の幅とを有する絶縁膜 57 を形成する。これにより、p 型中間層 55 の上面の転位の集中している領域 56 が、絶縁膜 57 により覆われる。

【0072】

次に、図 20 に示すように、真空蒸着法を用いて、p 型中間層 55 上に、p 型中間層 55 の上面の転位の集中している領域 56 以外の領域に接触するとともに、絶縁膜 57 を覆うように、p 側オーミック電極 58 を形成する。なお、p 側オーミック電極 58 を形成する際には、下層から上層に向かって、約 5 nm の厚みを有する Pt 層と、約 100 nm の厚みを有する Pd 層と、約 150 nm の厚みを有する Au 層とを形成する。次に、真空蒸着法を用いて、p 側オーミック電極 58 上に、下層から上層に向かって、約 100 nm の厚みを有する Ti 層と、約 100 nm の厚みを有する Pd 層と、約 3 μm の厚みを有する Au 層とからなる p 側パッド電極 59 を形成する。この後、n 型 GaN 基板 1 の厚みが約 100 μm になるように、n 型 GaN 基板 1 の裏面を研磨する。

【0073】

次に、第3実施形態では、真空蒸着法を用いて、n 型 GaN 基板 1 の裏面上の全面に、n 型 GaN 基板 1 の裏面に近い方から順に、約 5 nm の厚みを有する Al 層と、約 15 nm の厚みを有する Pt 層と、約 40 nm の厚みを有する Au 層とからなる金属層（図示せず）を形成する。その後、n 型 GaN 基板 1 の裏面上の転位の集中している領域 56 以外の領域に位置する金属層を除去することによ

って、図 21 に示すように、 n 側オーミック透明電極 60 を形成する。この際、 n 側オーミック透明電極 60 の端面と素子の端面との間の距離 W が、約 $40\ \mu\text{m}$ になるように金属層を除去する。

【0074】

この後、図 16 に示したように、真空蒸着法を用いて、 n 側オーミック透明電極 60 の裏面上の所定領域に、 n 側オーミック透明電極 60 の裏面に近い方から順に、約 $100\ \text{nm}$ の厚みを有する Ti 層と、約 $100\ \text{nm}$ の厚みを有する Pd 層と、約 $3\ \mu\text{m}$ の厚みを有する Au 層とからなる n 側パッド電極 61 を形成する。最後に、素子の p 側パッド電極 59 が形成された側からスクライブライン（図示せず）を形成した後、そのスクライブラインに沿って素子を各チップに劈開することによって、第 3 実施形態による発光ダイオード素子が形成される。

【0075】

（第 4 実施形態）

図 22 は、本発明の第 4 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。図 22 を参照して、この第 4 実施形態では、上記第 1 実施形態と異なり、 p 型クラッド層 5 の凸部以外の平坦部の表面上に、約 $0.4\ \mu\text{m}$ の厚みを有する Ge がドーピングされた n 型 $\text{Al}_{0.12}\text{Ga}_{0.88}\text{N}$ からなる n 型電流ブロック層 80 が形成されている。

【0076】

そして、この第 4 実施形態では、 n 型 GaN 基板 1 および窒化物系半導体各層（2～5、80）の端部の近傍には、 n 型 GaN 基板 1 の裏面から n 型電流ブロック層 80 の上面まで延びる転位の集中している領域 8 が形成されている。また、 n 型電流ブロック層 80 上には、リッジ部 7 を構成する p 型コンタクト層 6 の上面に接触するように、下層から上層に向かって、約 $5\ \text{nm}$ の厚みを有する Pt 層と、約 $100\ \text{nm}$ の厚みを有する Pd 層と、約 $150\ \text{nm}$ の厚みを有する Au 層とからなる p 側オーミック電極 79 が形成されている。また、 p 側オーミック電極 79 上には、下層から上層に向かって、約 $100\ \text{nm}$ の厚みを有する Ti 層と、約 $100\ \text{nm}$ の厚みを有する Pd 層と、約 $3\ \mu\text{m}$ の厚みを有する Au 層とからなる p 側パッド電極 81 が形成されている。なお、 n 型電流ブロック層 80 は

、本発明の「半導体素子層」の一例であり、p側オーミック電極79は、本発明の「表面側電極」の一例である。

【0077】

ここで、第4実施形態では、上記第1実施形態と同様、n型GaN基板1の裏面上の転位の集中している領域8を覆うように、約250nmの厚みと約40 μ mの幅とを有するSiN膜からなる絶縁膜12が形成されている。また、n型GaN基板1の裏面上には、n型GaN基板1の裏面の転位の集中している領域8以外の領域に接触するとともに、絶縁膜12を覆うように、n側電極13が形成されている。

【0078】

なお、第4実施形態のその他の構成は、上記第1実施形態と同様である。

【0079】

第4実施形態では、上記のように、電流ブロック層として、n型Al_{0.12}Ga_{0.88}Nからなるn型電流ブロック層80が形成された窒化物系半導体レーザ素子においても、上記第1実施形態と同様の効果を得ることができる。すなわち、n型GaN基板1の裏面上の転位の集中している領域8に、絶縁膜12を形成するとともに、n型GaN基板1の裏面の転位の集中している領域8以外の領域に接触するように、n側電極13を形成することによって、n型GaN基板1の裏面の転位の集中している領域8は、絶縁膜12により露出しないように覆われるので、n型GaN基板1の裏面の転位の集中している領域8に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。ただし、第4実施形態では、n型電流ブロック層80の上面の転位が集中している領域8がp側オーミック電極79と接触しているので、上記第1実施形態よりもリーク電流が発生しやすい。

【0080】

図23～26は、図22に示した第4実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。次に、図22～図26を参照して、第4実施形態による窒化物系半導体レーザ素子の製造プロセスについて説

明する。

【0081】

まず、図3～図7に示した第1実施形態と同様の製造プロセスを用いて、p型コンタクト層6までを形成した後、窒素ガス雰囲気中でアニール処理する。次に、図23に示すように、プラズマCVD法を用いて、p型コンタクト層6上の所定領域に、約200nmの厚みを有するSiN層91を形成した後、SiN層91上に、約250nmの厚みを有するNi層92を形成する。この際、SiN層91およびNi層92が、約1.5μmの幅を有するストライプ状（細長状）になるように形成する。

【0082】

次に、図24に示すように、Cl₂系ガスによるドライエッチングを用いて、Ni層92をマスクとして、p型コンタクト層6およびp型クラッド層5の上面から約300nmの厚み分をエッチングする。これにより、p型クラッド層5の凸部とp型コンタクト層6とから構成されるとともに、所定の方向に延びるストライプ状（細長状）のリッジ部7が形成される。この後、Ni層92を除去する。

【0083】

次に、図25に示すように、MOCVD法を用いて、SiN層91を選択成長マスクとして、p型クラッド層5の凸部以外の平坦部の表面上に、約0.4μmの厚みを有するGeがドーピングされたn型Al_{0.12}Ga_{0.88}Nからなるn型電流ブロック層80を形成する。この際、p型クラッド層5の凸部以外の平坦部の表面の転位が伝播するので、n型GaN基板1の裏面からn型電流ブロック層80の上面まで延びる転位の集中している領域8が形成される。この後、SiN層91を除去する。

【0084】

次に、図26に示すように、真空蒸着法を用いて、n型電流ブロック層80上に、リッジ部7を構成するp型コンタクト層6の上面に接触するように、下層から上層に向かって、約5nmの厚みを有するPt層と、約100nmの厚みを有するPd層と、約150nmの厚みを有するAu層とからなるp側オーミック電

極 79 を形成する。その後、p 側オーミック電極 79 上に、下層から上層に向かって、約 100 nm の厚みを有する Ti 層と、約 100 nm の厚みを有する Pd 層と、約 3 μ m の厚みを有する Au 層とからなる p 側パッド電極 81 を形成する。この後、n 型 GaN 基板 1 の厚みが約 100 μ m になるように、n 型 GaN 基板 1 の裏面を研磨する。

【0085】

次に、図 12 に示した第 1 実施形態と同様の製造プロセスを用いて、図 22 に示したように、n 型 GaN 基板 1 の裏面の転位の集中している領域 8 を覆うように、絶縁膜 12 を形成する。この後、真空蒸着法を用いて、n 型 GaN 基板 1 の裏面上に、n 型 GaN 基板 1 の裏面の転位の集中している領域 8 以外の領域に接触するように、かつ、絶縁膜 12 を覆うように、n 側電極 13 を形成する。最後に、素子の p 側パッド電極 81 が形成された側からスクライブライン（図示せず）を形成した後、そのスクライブラインに沿って素子を各チップに劈開することによって、第 4 実施形態による窒化物系半導体レーザ素子が形成される。

【0086】

（第 5 実施形態）

図 27 は、本発明の第 5 実施形態による発光ダイオード素子（半導体素子）の構造を示した断面図である。図 27 を参照して、この第 5 実施形態では、上記第 3 実施形態と異なり、n 型 GaN 基板 1 の裏面上の転位の集中している領域 56 に、約 250 nm の厚みと約 40 μ m の幅とを有する SiO₂ 膜からなる絶縁膜 100 が形成されている。

【0087】

また、第 5 実施形態では、n 型 GaN 基板 1 の裏面上に、n 型 GaN 基板 1 の裏面の転位の集中している領域 56 以外の領域に接触するとともに、絶縁膜 100 を覆うように、上記第 3 実施形態と同様の厚みおよび組成を有する n 側オーミック透明電極 110 が形成されている。この n 側オーミック透明電極 110 は、n 型 GaN 基板 1 の裏面に近い方から順に、約 5 nm の厚みを有する Al 層と、約 15 nm の厚みを有する Pt 層と、約 40 nm の厚みを有する Au 層とからなる。n 側オーミック透明電極 110 の裏面上の所定領域には、n 側オーミック透

明電極 110 の裏面に近い方から順に、約 100 nm の厚みを有する Ti 層と、約 100 nm の厚みを有する Pd 層と、約 3 μ m の厚みを有する Au 層とからなる n 側パッド電極 111 が形成されている。なお、n 側オーミック透明電極 110 は、本発明の「裏面側電極」の一例である。なお、第 5 実施形態のその他の構成は、上記第 3 実施形態と同様である。

【0088】

第 5 実施形態では、上記のように、n 型 GaN 基板 1 の裏面上の転位の集中している領域 56 に、絶縁膜 100 を形成するとともに、n 型 GaN 基板 1 の裏面の転位の集中している領域 56 以外の領域に接触するように、n 側オーミック透明電極 110 を形成することによって、n 型 GaN 基板 1 の裏面の転位の集中している領域 56 は、絶縁膜 100 により露出しないように覆われるので、n 型 GaN 基板 1 の裏面の転位の集中している領域 56 に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。また、上記第 3 実施形態と同様、p 型中間層 55 の上面の転位の集中している領域 56 は、絶縁膜 57 により露出しないように覆われるので、p 型中間層 55 の上面の転位の集中している領域 56 に電流が流れることに起因するリーク電流の発生も容易に抑制することができる。これらの結果、素子の定電流駆動時の光出力をより容易に安定化することができるので、より容易に、半導体素子の動作を安定化することができる。また、転位の集中している領域 56 に流れる電流を低減することができるので、転位の集中している領域 56 からの不必要な発光を低減できる。

【0089】

図 28 は、図 27 に示した第 5 実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。次に、図 27 および図 28 を参照して、第 5 実施形態による発光ダイオード素子の製造プロセスについて説明する。

【0090】

まず、図 18 ～図 20 に示した第 3 実施形態と同様の製造プロセスを用いて、p 側パッド電極 59 までを形成した後、n 型 GaN 基板 1 の裏面を研磨する。次に、第 5 実施形態では、プラズマ CVD 法、SOG 法（塗布法）、または、電子ビーム蒸着法を用いて、n 型 GaN 基板 1 の裏面上の全面に、約 250 nm の厚

みを有する SiO_2 膜（図示せず）を形成する。その後、 n 型 GaN 基板 1 の裏面上の転位の集中している領域 56 以外の領域に位置する SiO_2 膜を除去することによって、図 28 に示すように、約 $250\ \mu\text{m}$ の厚みと約 $40\ \mu\text{m}$ の幅とを有する SiO_2 膜からなる絶縁膜 100 を形成する。これにより、 n 型 GaN 基板 1 の裏面の転位の集中している領域 56 が、絶縁膜 100 により覆われる。次に、真空蒸着法を用いて、 n 型 GaN 基板 1 の裏面上に、 n 型 GaN 基板 1 の裏面の転位の集中している領域 56 以外の領域に接触するとともに、絶縁膜 100 を覆うように、 n 側オーミック透明電極 110 を形成する。なお、 n 側オーミック透明電極 110 を形成する際には、 n 型 GaN 基板 1 の裏面に近い方から順に、約 $5\ \text{nm}$ の厚みを有する Al 層と、約 $15\ \text{nm}$ の厚みを有する Pt 層と、約 $40\ \text{nm}$ の厚みを有する Au 層とを形成する。

【0091】

この後、図 27 に示したように、真空蒸着法を用いて、 n 側オーミック透明電極 110 の裏面上の所定領域に、 n 側オーミック透明電極 110 の裏面に近い方から順に、約 $100\ \text{nm}$ の厚みを有する Ti 層と、約 $100\ \text{nm}$ の厚みを有する Pd 層と、約 $3\ \mu\text{m}$ の厚みを有する Au 層とからなる n 側パッド電極 111 を形成する。最後に、素子の p 側パッド電極 59 が形成された側からスクライブライン（図示せず）を形成した後、そのスクライブラインに沿って素子を各チップに劈開することによって、第 5 実施形態による発光ダイオード素子が形成される。

【0092】

（第 6 実施形態）

図 29 は、本発明の第 6 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。図 29 を参照して、この第 6 実施形態では、上記第 1 実施形態と異なり、 p 型クラッド層 5 の凸部以外の平坦部の表面から n 型クラッド層 3 中に達する深さを有するイオン注入層 120 が、転位の集中している領域 8 に設けられている。このイオン注入層 120 は、炭素（ C ）などの不純物をイオン注入することにより形成されているため、イオン注入層 120 が設けられた領域は、高抵抗領域となる。なお、イオン注入層 120 は、本発明の「高抵抗領域」の一例である。なお、第 6 実施形態のその他の構成は、上記第 1 実

施形態と同様である。

【0093】

第6実施形態では、上記のように、p型クラッド層5の凸部以外の平坦部の表面からn型クラッド層3中に達する深さを有するイオン注入層120を、転位の集中している領域8に設けることによって、p型クラッド層5の凸部以外の平坦部の表面の転位の集中している領域8は、イオン注入層120により電流が流れにくくなるので、p型クラッド層5の凸部以外の平坦部の表面の転位の集中している領域8に電流が流れることに起因するリーク電流の発生を抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。

【0094】

なお、第6実施形態のその他の効果は、上記第1実施形態と同様である。

【0095】

次に、第6実施形態による窒化物系半導体レーザ素子の製造プロセスとしては、図9に示した第1実施形態の製造プロセスの後、絶縁膜10を形成する前に、p型クラッド層5の凸部以外の平坦部の表面の転位の集中している領域8に、炭素(C)を、約150keVでイオン注入する。これにより、p型クラッド層5の凸部以外の平坦部の表面からn型クラッド層3中に達するイオン注入深さ(厚み)を有するとともに、転位の集中している領域8に配置されるイオン注入層120を形成する。なお、イオン注入条件としては、ドーズ量を、約 $1 \times 10^{14} \text{ cm}^{-2}$ 以上にするのが好ましい。

【0096】

(第7実施形態)

図30は、本発明の第7実施形態による窒化物系半導体レーザ素子(半導体素子)の構造を示した断面図である。図30を参照して、この第7実施形態では、上記第4実施形態の構造(図22参照)において、n型電流ブロック層80の上面からn型クラッド層3の上面に達する深さを有する凹部130が、転位の集中している領域8よりも内側の領域(両端部から約 $50 \mu\text{m}$ ～約 $100 \mu\text{m}$ の範囲)に設けられている。また、n型電流ブロック層80上の凹部130よりも内側

の領域には、p 型コンタクト層 6 の上面に接触するように、下層から上層に向かって、約 5 nm の厚みを有する Pt 層と、約 100 nm の厚みを有する Pd 層と、約 150 nm の厚みを有する Au 層とからなる p 側オーミック電極 149 が形成されている。また、p 側オーミック電極 149 上には、下層から上層に向かって、約 100 nm の厚みを有する Ti 層と、約 100 nm の厚みを有する Pd 層と、約 3 μ m の厚みを有する Au 層とからなる p 側パッド電極 151 が形成されている。なお、p 側オーミック電極 149 は、本発明の「表面側電極」の一例である。なお、第 7 実施形態のその他の構成は、上記第 4 実施形態と同様である。

【0097】

第 7 実施形態では、上記のように、n 型電流ブロック層 80 の上面から n 型クラッド層 3 の上面に達する深さを有する凹部 130 を、転位の集中している領域 8 よりも内側の領域（両端部から約 50 μ m ～約 100 μ m の範囲）に設けるとともに、n 型電流ブロック層 80 上の凹部 130 よりも内側の領域に、p 型コンタクト層 6 の上面に接触するように、p 側オーミック電極 149 を形成することによって、n 型電流ブロック層 80 の上面の転位の集中している領域 8 に電流が流れることに起因するリーク電流の発生を抑制することができる。その結果、素子の定電流駆動時の光出力を安定化することができるので、半導体素子の動作を安定化することができる。また、発光層 4、p 型クラッド層 5 および n 型電流ブロック層 80 の転位の集中している領域 8 よりも内側の領域と集中している領域 8 とが凹部 130 により分断されるので、転位の集中している領域 8 よりも内側の発光層 4 で発生した光が、転位の集中している領域 8 で吸収されるのを抑制することができる。これにより、転位の集中している領域 8 で吸収された光が意図しない波長で再び発光するのを抑制することができるので、このような再発光に起因する色純度の劣化を抑制することができる。

【0098】

なお、第 7 実施形態のその他の効果は、上記第 1 実施形態と同様である。

【0099】

次に、第 7 実施形態による窒化物系半導体レーザ素子の製造プロセスとしては、図 25 に示した第 4 実施形態の製造プロセスにおいて、n 型電流ブロック層 8

0を形成した後に、RIE (Reactive Ion Etching: 反応性イオンエッチング) 法を用いて、転位の集中している領域8よりも内側の領域に、n型電流ブロック層80の上面からn型クラッド層3の上面に達する深さを有する凹部130を形成する。そして、真空蒸着法を用いて、凹部130の内面上を含む全面に、p側オーミック電極149およびp側パッド電極151を構成する金属層(図示せず)を形成する。この後、n型電流ブロック層80上の転位の集中している領域8および凹部130の内面上に位置する金属層を除去する。これにより、n型電流ブロック層80上の凹部130よりも内側の領域に、p型コンタクト層6の上面と接触するように、p側オーミック電極149を形成するとともに、p側オーミック電極149上に、p側パッド電極151を形成する。

【0100】

図31は、図30に示した第7実施形態の第1変形例による窒化物系半導体レーザ素子の構造を示した断面図である。図31を参照して、この第7実施形態の第1変形例による窒化物系半導体レーザ素子では、転位の集中している領域8よりも内側の領域に設けられている凹部160の深さが、n型電流ブロック層80の上面からn型クラッド層3中に達している。このように構成しても、上記第7実施形態と同様の効果が得られる。

【0101】

図32は、図30に示した第7実施形態の第2変形例による窒化物系半導体レーザ素子の構造を示した断面図である。図32を参照して、この第7実施形態の第2変形例による窒化物系半導体レーザ素子では、n型電流ブロック層80の表面上の転位の集中している領域8および凹部130を埋め込むように、絶縁膜170が形成されている。また、n型電流ブロック層80、絶縁膜170およびp型コンタクト層6上の全面には、下層から上層に向かって、約5nmの厚みを有するPt層と、約100nmの厚みを有するPd層と、約150nmの厚みを有するAu層とからなるp側オーミック電極179が形成されている。また、p側オーミック電極179上には、下層から上層に向かって、約100nmの厚みを有するTi層と、約100nmの厚みを有するPd層と、約3 μ mの厚みを有するAu層とからなるp側パッド電極181が形成されている。このように構成し

ても、上記第7実施形態と同様の効果が得られる。

【0102】

(第8実施形態)

図33は、本発明の第8実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。図33を参照して、この第8実施形態では、上記第4実施形態の構造（図22参照）において、n型電流ブロック層80の上面から約 $0.2\mu\text{m}$ の深さを有するイオン注入層190が、転位の集中している領域8に設けられている。このイオン注入層190は、炭素（C）などの不純物をイオン注入することにより形成されているため、イオン注入層190が設けられた領域は、高抵抗領域となる。なお、イオン注入層190は、本発明の「高抵抗領域」の一例である。なお、第8実施形態のその他の構成は、上記第4実施形態と同様である。

【0103】

第8実施形態では、上記のように、n型電流ブロック層80の上面から約 $0.2\mu\text{m}$ の深さを有するイオン注入層190を、転位の集中している領域8に設けることによって、n型電流ブロック層80の上面の転位の集中している領域8は、イオン注入層120により電流が流れにくくなるので、n型電流ブロック層80の上面の転位の集中している領域8に電流が流れることに起因するリーク電流の発生を抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。

【0104】

なお、第8実施形態のその他の効果は、上記第1実施形態と同様である。

【0105】

次に、第8実施形態による窒化物系半導体レーザ素子の製造プロセスとしては、上記第4実施形態の製造プロセスにおいて、p側オーミック電極79を形成する工程（図26参照）の前に、n型電流ブロック層80の上面の転位の集中している領域8に、炭素（C）を、約 40keV でイオン注入する。これにより、図33に示すように、n型電流ブロック層80の上面から約 $0.2\mu\text{m}$ のイオン注

入深さ（厚み）を有するとともに、転位の集中している領域 8 に配置されるイオン注入層 190 を形成する。なお、イオン注入条件としては、ドーズ量を、約 $1 \times 10^{14} \text{ cm}^{-2}$ 以上にするのが好ましい。

【0106】

（第 9 実施形態）

図 34 は、本発明の第 9 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。この第 9 実施形態では、上記第 1 ～ 第 8 実施形態と異なり、サファイア基板を含む窒化物系半導体層を、窒化物系半導体レーザ素子の基板として用いる場合の例について説明する。

【0107】

すなわち、この第 9 実施形態では、サファイア基板 201a 上に、約 20 nm の厚みを有する AlGaIn 層 201b が形成されている。AlGaIn 層 201b 上には、約 $1 \mu\text{m}$ の厚みを有する GaN 層 201c が形成されている。この GaN 層 201c の全領域には、縦方向に伝播された転位が形成されている。そして、GaN 層 201c 上の所定領域には、約 200 nm の厚みを有する SiN または SiO_2 からなるマスク層 201d が形成されている。このマスク層 201d は、後述する製造プロセスにおいて、選択成長マスクとして機能する。また、GaN 層 201c 上には、マスク層 201d を覆うように、約 $5 \mu\text{m}$ の厚みを有するアンドープの GaN 層 201e が形成されている。そして、この第 9 実施形態による窒化物系半導体レーザ素子の基板 201 は、サファイア基板 201a と、AlGaIn 層 201b と、GaN 層 201c と、マスク層 201d と、GaN 層 201e とによって構成される。なお、基板 201 の GaN 層 201e は、本発明の「窒化物系半導体基板」の一例である。

【0108】

基板 201 上には、約 100 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量を有する Si がドーピングされた n 型 GaN からなる n 型層 202 が形成されている。n 型層 202 上には、約 400 nm の厚みを有するとともに、約 $5 \times 10^{18} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有する Si がドーピングされた n 型 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{N}$ からなる n 型クラッド層 2

03が形成されている。n型クラッド層203上には、図2に示した第1実施形態の発光層4と同様の構成を有する発光層204が形成されている。なお、n型層202、n型クラッド層203および発光層204は、本発明の「半導体素子層」の一例である。

【0109】

発光層204上には、凸部を有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型Al_{0.05}Ga_{0.95}Nからなるp型クラッド層205が形成されている。このp型クラッド層205の凸部は、約1.5 μm の幅と約300 nmの高さを有する。また、p型クラッド層205の凸部以外の平坦部は、約100 nmの厚みを有する。そして、p型クラッド層205の凸部上には、約10 nmの厚みを有するとともに、約 $4 \times 10^{19} \text{ cm}^{-3}$ のドーピング量および約 $5 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有するMgがドーピングされたp型GaNからなるp型コンタクト層206が形成されている。そして、p型クラッド層205の凸部とp型コンタクト層206とによって、所定の方向に延びるストライプ状（細長状）のリッジ部207が構成される。なお、p型クラッド層205およびp型コンタクト層206は、本発明の「半導体素子層」の一例である。

【0110】

また、p型クラッド層205の凸部以外の平坦部からn型層202までの所定領域が除去されることにより、n型クラッド層202の表面の一部が露出されている。そして、基板201を構成するGaN層201eおよび窒化物系半導体各層（202～205）の一方の端部の近傍には、GaN層201cのAlGaN層201b側の界面からp型クラッド層205の凸部以外の平坦部の表面まで延びる転位の集中している領域208が形成されている。また、基板201を構成するGaN層201eおよびn型層202の他方の端部の近傍にも、GaN層201cのAlGaN層201b側の界面からn型層202の露出された表面まで延びる転位の集中している領域208が形成されている。

【0111】

そして、リッジ部207を構成するp型コンタクト層206上には、下層から

上層に向かって、約 5 nm の厚みを有する Pt 層と、約 100 nm の厚みを有する Pd 層と、約 150 nm の厚みを有する Au 層とからなる p 側オーミック電極 209 が形成されている。なお、p 側オーミック電極 209 は、本発明の「表面側電極」の一例である。

【0112】

ここで、第 9 実施形態では、p 側オーミック電極 209 の上面と、n 型層 202 の露出された表面の転位の集中している領域 208 以外の所定領域とが露出されるように、約 250 nm の厚みを有する SiN 膜からなる絶縁膜 210 が形成されている。すなわち、p 側および n 側の転位の集中している領域 208 の表面は、絶縁膜 210 により覆われている。

【0113】

そして、p 型クラッド層 205 の凸部以外の平坦部の表面上に位置する絶縁膜 210 の表面上には、p 側オーミック電極 209 の上面に接触するように、下層から上層に向かって、約 100 nm の厚みを有する Ti 層と、約 100 nm の厚みを有する Pd 層と、約 3 μ m の厚みを有する Au 層とからなる p 側パッド電極 211 が形成されている。

【0114】

また、第 9 実施形態では、n 型層 202 の露出された表面の転位の集中している領域 208 以外の領域に接触するように、n 側電極 212 が形成されている。この n 側電極 212 は、下層から上層に向かって、約 10 nm の厚みを有する Al 層と、約 20 nm の厚みを有する Pt 層と、約 300 nm の厚みを有する Au 層とからなる。なお、n 側電極 212 は、本発明の「表面側電極」の一例である。

【0115】

第 9 実施形態では、上記のように、n 型層 202 の露出された表面の転位の集中している領域 208 以外の所定領域が露出されるように絶縁膜 210 を形成するとともに、n 型層 202 の露出された表面の転位の集中している領域 208 以外の領域に接触するように、n 側電極 212 を形成することによって、n 型層 202 の露出された表面の転位の集中している領域 208 は、絶縁膜 210 により

露出しないように覆われるので、n型層202の露出された表面の転位の集中している領域208に電流が流れることに起因するリーク電流の発生を容易に抑制することができる。その結果、素子の定電流駆動時の光出力を容易に安定化することができるので、容易に、半導体素子の動作を安定化することができる。また、転位の集中している領域208に電流が流れることに起因する不必要な発光を抑制することができる。

【0116】

図35～図38は、図34に示した第9実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。次に、図34～図38を参照して、第9実施形態による窒化物系半導体レーザ素子の製造プロセスについて説明する。

【0117】

まず、図35を参照して、基板201の形成プロセスについて説明する。具体的には、図35に示すように、MOCVD法を用いて、基板温度を約600℃に保持した状態で、サファイア基板201a上に、約20nmの厚みを有するAlGaN層201bを成長させる。その後、基板温度を約1100℃に変えて、AlGaN層201b上に、約1μmの厚みを有するGaN層201cを成長させる。この際、GaN層201cの全領域に、縦方向に伝播された転位が形成される。次に、プラズマCVD法を用いて、GaN層201c上に所定の間隔を隔てて、約200nmの厚みを有するSiNまたはSiO₂からなるマスク層201dを形成する。

【0118】

次に、HVPE法を用いて、基板温度を約1100℃に保持した状態で、マスク層201dを選択成長マスクとして、GaN層201c上に、約5μmの厚みを有するアンドープのGaN層201eを横方向成長させる。この際、GaN層201eは、マスク層201dが形成されていないGaN層201c上に選択的に縦方向に成長した後、徐々に横方向に成長する。このため、マスク層201dが形成されていないGaN層201c上に位置するGaN層201eには、縦方向に伝播された転位の集中する領域208が形成される。その一方、マスク層2

01d上に位置するGa_{0.5}N_{0.5}層201eには、Ga_{0.5}N_{0.5}層201eが横方向に成長することにより転位が横方向へ曲げられるので、縦方向に伝播された転位が形成されにくい。そして、サファイア基板201aと、AlGa_{0.5}N_{0.5}層201bと、Ga_{0.5}N_{0.5}層201cと、マスク層201dと、Ga_{0.5}N_{0.5}層201eとによって、基板201が構成される。

【0119】

次に、図36に示すように、MOCVD法を用いて、基板201上に、n型層202、n型クラッド層203、発光層204、p型クラッド層205およびp型コンタクト層206を順次成長させる。そして、p型コンタクト層206上の所定領域に、ストライプ状（細長状）のp側オーミック電極209を形成する。その後、p型コンタクト層206およびp型クラッド層205の上面から約300nmの厚み分をエッチングすることによって、p型クラッド層205の凸部とp型コンタクト層206とから構成されるとともに、所定の方向に延びるストライプ状（細長状）のリッジ部207を形成する。

【0120】

次に、図37に示すように、p型クラッド層205の凸部以外の平坦部の表面からn型層202までの所定領域をエッチングすることにより、n型層202の表面の一部を露出させる。

【0121】

次に、プラズマCVD法を用いて、全面を覆うように、約250nmの厚みを有するSi₃N₄膜（図示せず）を形成する。その後、p側オーミック電極209上に位置するSi₃N₄膜と、n型層202の露出された表面上の転位の集中している領域208以外の所定領域に位置するSi₃N₄膜とを除去することによって、図38に示すように、絶縁膜210を形成する。

【0122】

次に、図34に示したように、真空蒸着法を用いて、p型クラッド層205の凸部以外の平坦部の表面上に位置する絶縁膜210の表面上に、p側オーミック電極209の上面に接触するように、p側パッド電極211を形成する。この後、第9実施形態では、n型層202の露出された表面上に位置する絶縁膜210

上の所定領域に、n型層202の露出された表面の転位の集中している領域208以外の領域に接触するように、n側電極212を形成する。最後に、素子のp側パッド電極211が形成された側からスクライブライン（図示せず）を形成した後、そのスクライブラインに沿って素子を各チップに劈開することによって、第9実施形態による窒化物系半導体レーザ素子が形成される。

【0123】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0124】

たとえば、上記第1～第9実施形態では、半導体素子の一例として窒化物系半導体レーザ素子や発光ダイオード素子に本発明を適用する例について説明したが、本発明はこれに限らず、窒化物系半導体レーザ素子や発光ダイオード素子以外の他の半導体素子にも適用可能である。

【0125】

また、上記第1～第9実施形態では、基板として、n型GaN基板または窒化物系半導体層を含むサファイア基板を用いるようにしたが、本発明はこれに限らず、スピネル基板、Si基板、SiC基板、GaAs基板、GaP基板、InP基板、水晶基板およびZrB₂基板などの基板を用いるようにしてもよい。

【0126】

また、上記第1～第9実施形態では、ウルツ鉱型構造の窒化物系半導体各層を形成するようにしたが、本発明はこれに限らず、閃亜鉛鉱型構造の窒化物系半導体各層を形成するようにしてもよい。

【0127】

また、上記第1～第9実施形態では、MOCVD法を用いて、窒化物系半導体各層を結晶成長させるようにしたが、本発明はこれに限らず、HVPE法、および、TMAI、TMGa、TMIn、NH₃、SiH₄、GeH₄およびCp₂Mgなどを原料ガスとして用いるガスソースMBE法（Molecular Beam

m Epitaxy：分子線エピタキシャル成長法）などを用いて、窒化物系半導体各層を結晶成長させるようにしてもよい。

【0128】

また、上記第1～第9実施形態では、窒化物系半導体各層の表面が（0001）面になるように積層したが、本発明はこれに限らず、窒化物系半導体各層の表面が他の方向になるように積層してもよい。たとえば、窒化物系半導体各層の表面が（1-100）面や（11-20）面などの（H、K、-H-K、0）面になるように積層してもよい。この場合、MQW活性層内にピエゾ電場が発生しないので、井戸層のエネルギーバンドの傾きに起因する正孔と電子との再結合確率の低下を抑制することができる。その結果、MQW活性層の発光効率を向上させることができる。また、（1-100）面や（11-20）面から傾斜している基板を用いてもよい。

【0129】

また、上記第1～第9実施形態では、活性層として多重量子井戸（MQW）構造の活性層を用いる例を示したが、本発明はこれに限らず、量子効果を有しない大きな厚みを有する単層または単一量子井戸構造の活性層であっても同様の効果を得ることができる。

【0130】

また、上記第1～第9実施形態では、転位の集中している領域がストライプ状に形成された基板を用いるようにしたが、本発明はこれに限らず、転位の集中している領域がストライプ以外の他の形状に形成された基板を用いてもよい。たとえば、図4において、マスク24に変えて、三角格子状に開口部が点在するマスクを用いることにより、転位の集中している領域が三角格子状に点在した基板を形成してもよい。この場合、点在する転位の集中している領域に対応して、点在する絶縁膜や点在する高抵抗領域を形成すれば、同様の効果を得ることができる。また、点在する転位の集中している領域を囲むように凹部を形成しても、同様の効果を得ることができる。

【0131】

また、上記第1～第8実施形態では、サファイア基板上にn型GaN層を成長

させることによって、n型Ga_{0.5}N基板を形成するようにしたが、本発明はこれに限らず、GaAs基板上にn型Ga_{0.5}N層を成長させることによりn型Ga_{0.5}N基板を形成するようにしてもよい。具体的には、HVPE法を用いて、GaAs基板上に、約120μm～約400μmの厚みを有する酸素がドーピングされたn型Ga_{0.5}N層を形成した後、GaAs基板を除去することによりn型Ga_{0.5}N基板を形成する。この際、n型Ga_{0.5}N基板のホール効果測定によるキャリア濃度が、約 $5 \times 10^{18} \text{ cm}^{-3}$ で、かつ、SIMS (Secondary Ion Mass Spectroscopy：2次イオン質量分析) による不純物濃度が、約 $1 \times 10^{19} \text{ cm}^{-3}$ になるように形成するのが好ましい。また、GaAs基板上の所定領域に、選択成長マスク層を形成することにより、n型Ga_{0.5}N層を横方向に成長させるようにしてもよい。

【0132】

また、上記第1、第2、第4および第6～第9実施形態では、転位の集中している領域間のほぼ中央部にリッジ部を形成するようにしたが、本発明はこれに限らず、一方の端部から約150μm、他方の端部から約250μmの位置にリッジ部を形成するようにしてもよい。この場合、転位の集中している領域間のほぼ中央部に位置する窒化物系半導体よりも、転位の集中している領域間の中央部から離れた領域に位置する窒化物系半導体の方が結晶性が良好であるので、窒化物系半導体レーザ素子の寿命を向上することができる。

【0133】

また、上記第3および第5実施形態では、n側にオーミック透明電極を形成するようにしたが、本発明はこれに限らず、p側にオーミック透明電極を形成するようにしてもよい。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。

【図2】

図1に示した第1実施形態による窒化物系半導体レーザ素子の発光層の詳細を

示した拡大断面図である。

【図 3】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 4】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 5】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 6】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 7】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 8】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 9】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 10】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 11】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 12】

図 1 に示した第 1 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 1 3】

本発明の第 2 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。

【図 1 4】

図 1 3 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 1 5】

図 1 3 に示した第 2 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 1 6】

本発明の第 3 実施形態による発光ダイオード素子（半導体素子）の構造を示した断面図である。

【図 1 7】

図 1 6 に示した第 3 実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。

【図 1 8】

図 1 6 に示した第 3 実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。

【図 1 9】

図 1 6 に示した第 3 実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。

【図 2 0】

図 1 6 に示した第 3 実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。

【図 2 1】

図 1 6 に示した第 3 実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。

【図 2 2】

本発明の第 4 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。

【図 2 3】

図 2 2 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 2 4】

図 2 2 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 2 5】

図 2 2 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 2 6】

図 2 2 に示した第 4 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 2 7】

本発明の第 5 実施形態による発光ダイオード素子（半導体素子）の構造を示した断面図である。

【図 2 8】

図 2 7 に示した第 5 実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。

【図 2 9】

本発明の第 6 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。

【図 3 0】

本発明の第 7 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。

【図 3 1】

図 3 0 に示した第 7 実施形態の第 1 変形例による窒化物系半導体レーザ素子の

構造を示した断面図である。

【図 3 2】

図 3 0 に示した第 7 実施形態の第 2 変形例による窒化物系半導体レーザ素子の構造を示した断面図である。

【図 3 3】

本発明の第 8 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。

【図 3 4】

本発明の第 9 実施形態による窒化物系半導体レーザ素子（半導体素子）の構造を示した断面図である。

【図 3 5】

図 3 4 に示した第 9 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 3 6】

図 3 4 に示した第 9 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 3 7】

図 3 4 に示した第 9 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【図 3 8】

図 3 4 に示した第 9 実施形態による窒化物系半導体レーザ素子の製造プロセスを説明するための断面図である。

【符号の説明】

- 1 n 型 G a N 基板（基板、窒化物系半導体基板）
- 2、2 0 2 n 型層（半導体素子層）
- 3、5 2、2 0 3 n 型クラッド層（半導体素子層）
- 4、5 3、2 0 4 発光層（半導体素子層）
- 5、5 4、2 0 5 p 型クラッド層（半導体素子層）
- 6、2 0 6 p 型コンタクト層（半導体素子層）

8、5 6、2 0 8 転位の集中している領域

9、5 8、7 9、1 4 9、1 7 9、2 0 9 p 側オーミック電極（表面側電極
）

1 2、5 7、1 0 0 絶縁膜

1 3、3 3 n 側電極（裏面側電極）

5 5 p 型中間層（半導体素子層）

6 0、1 1 0 n 側オーミック透明電極（裏面側電極）

8 0 n 型電流ブロック層（半導体素子層）

1 2 0、1 9 0 イオン注入層（高抵抗領域）

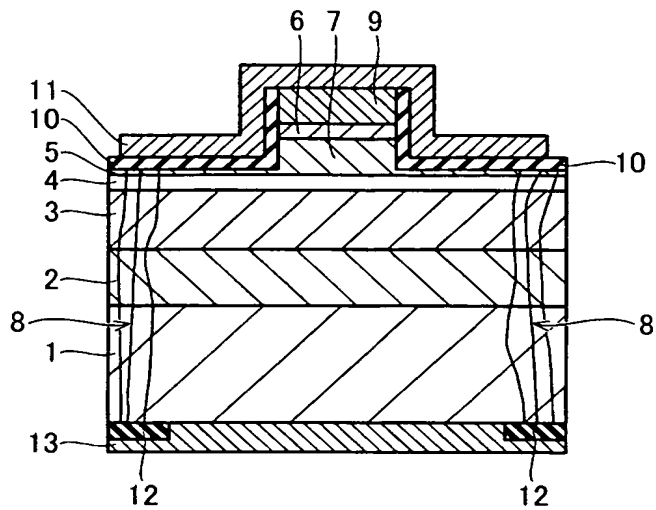
1 3 0、1 6 0 凹部

2 0 1 基板（窒化物系半導体基板）

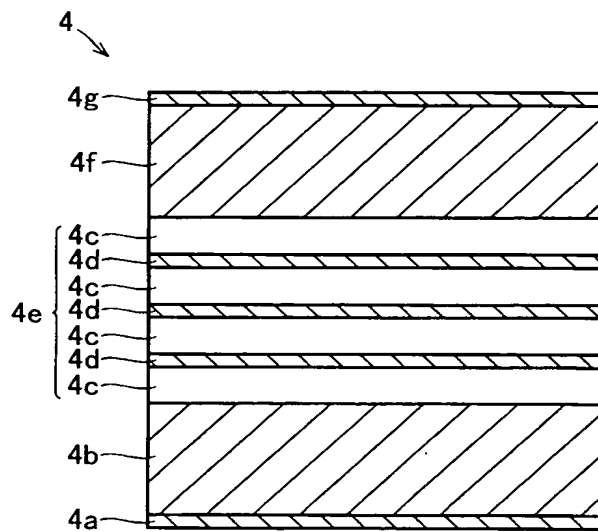
2 1 2 n 側電極（表面側電極）

【書類名】 図面

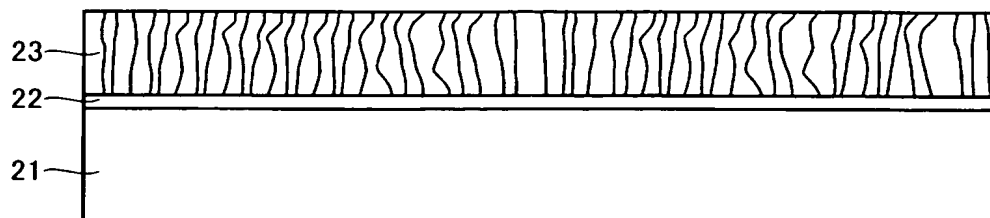
【図 1】



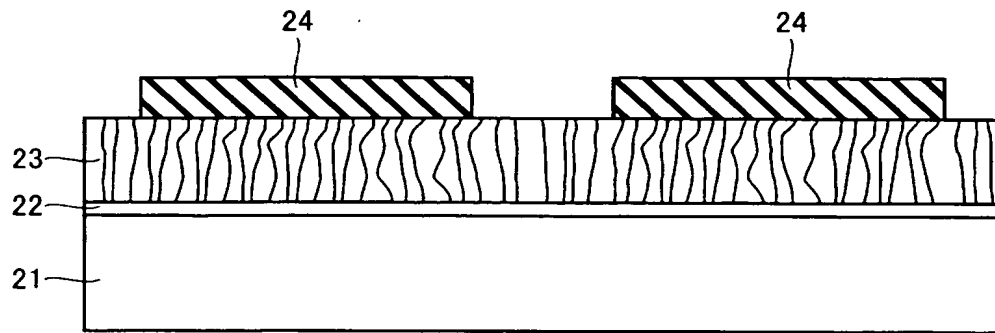
【図 2】



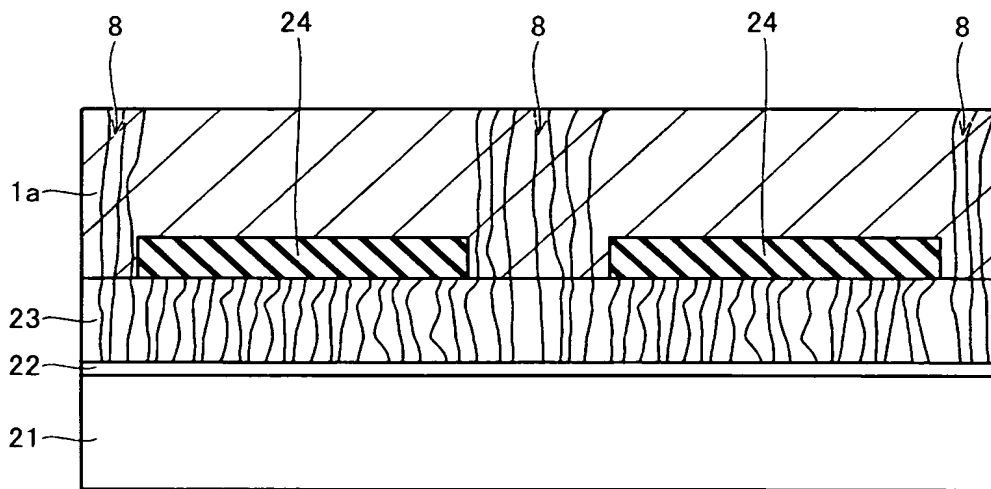
【図 3】



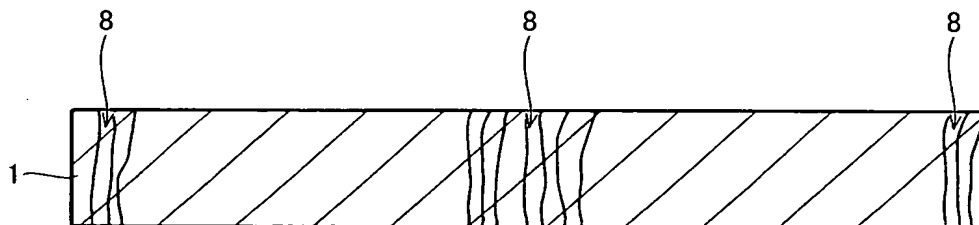
【図 4】



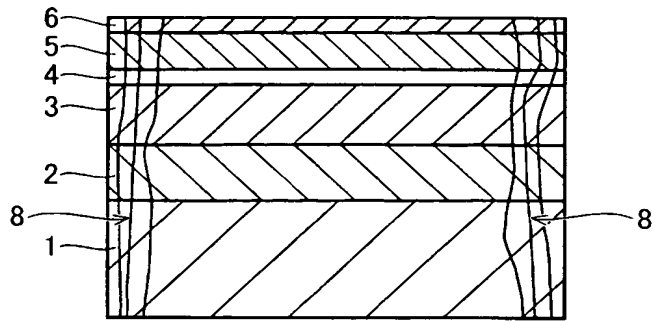
【図 5】



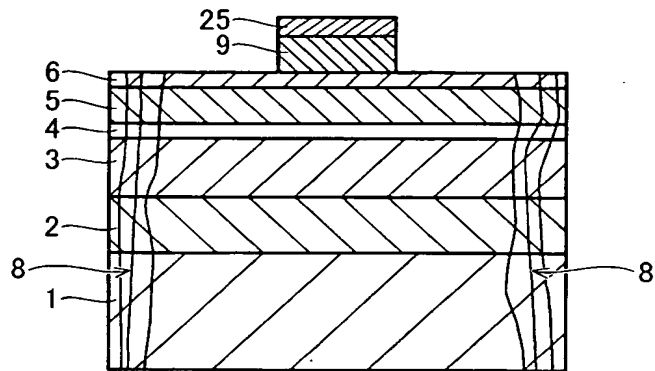
【図 6】



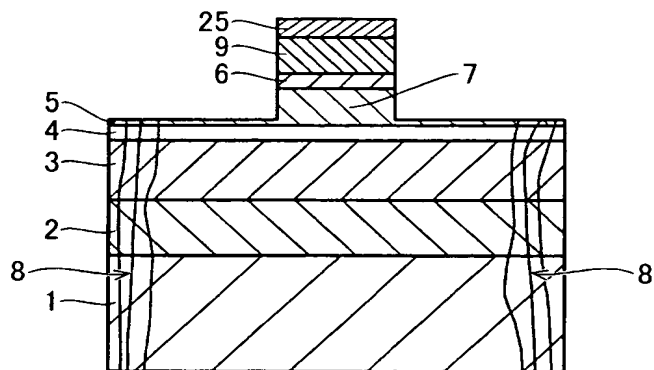
【図 7】



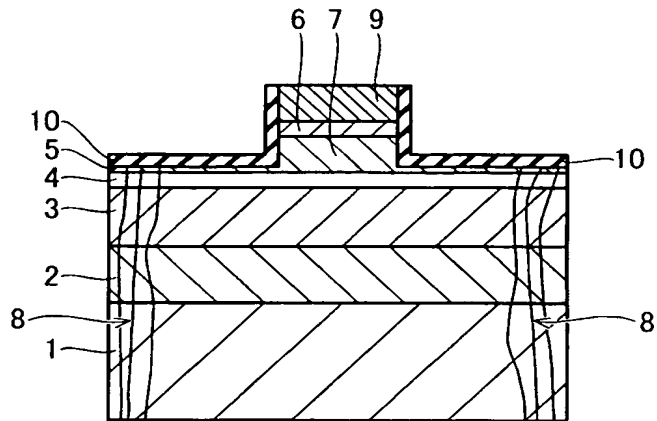
【図 8】



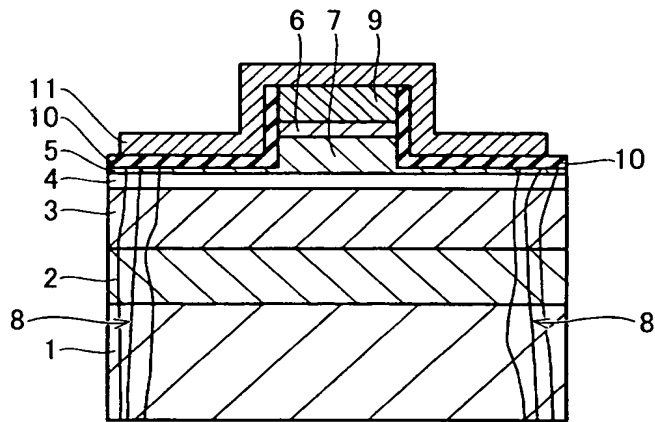
【図 9】



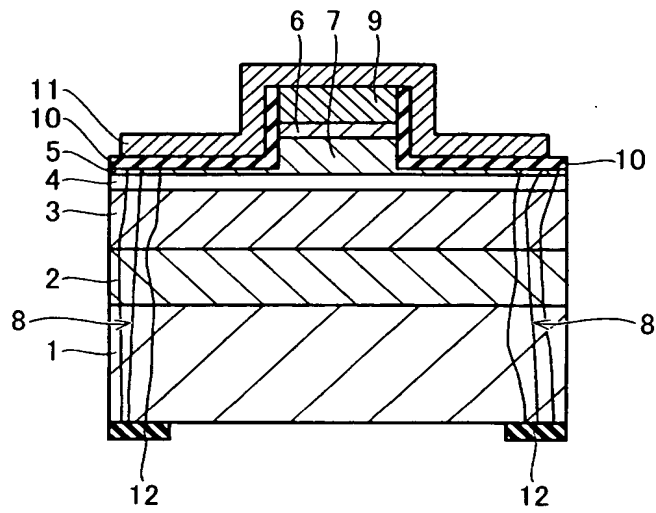
【図 10】



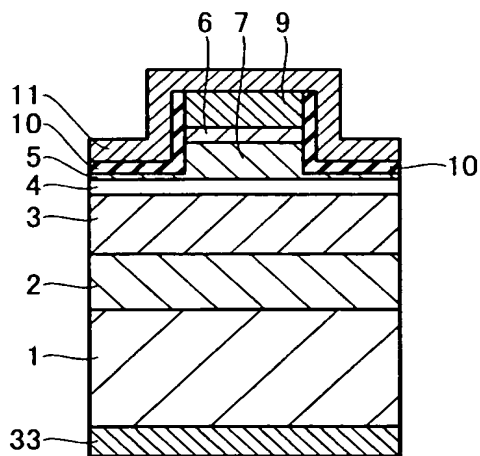
【図 11】



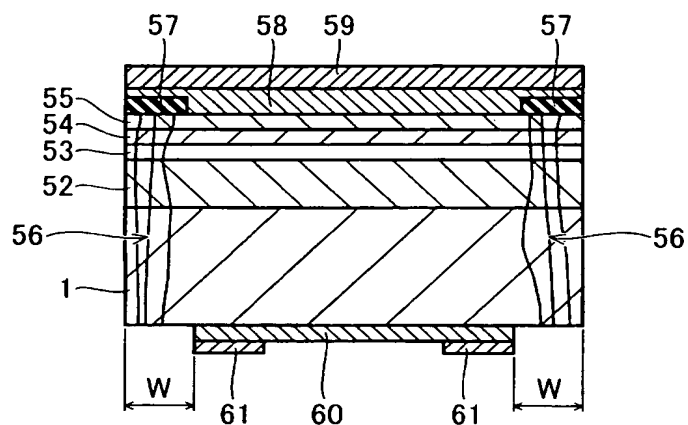
【図 12】



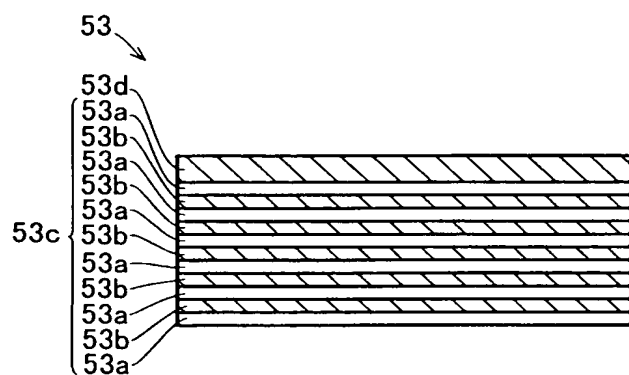
【図 13】



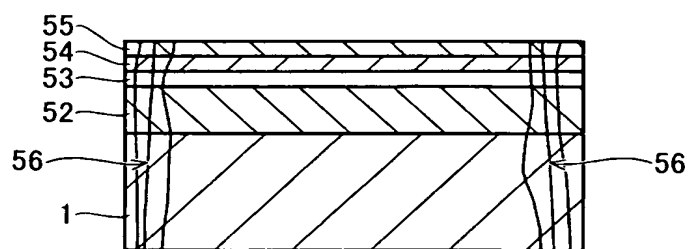
【图 16】



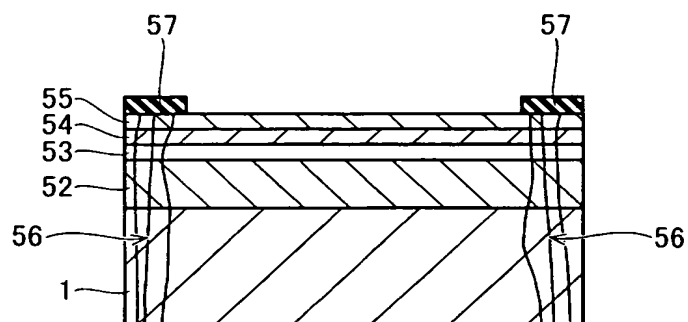
【图 17】



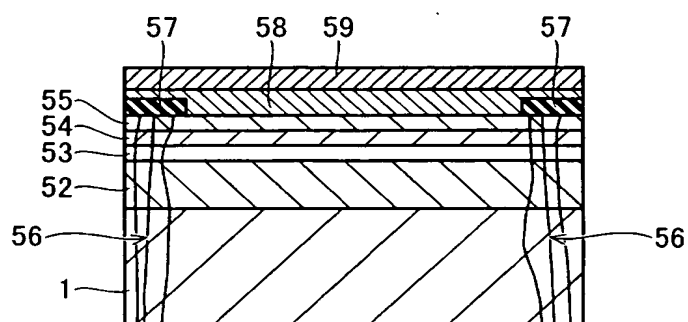
【図 18】



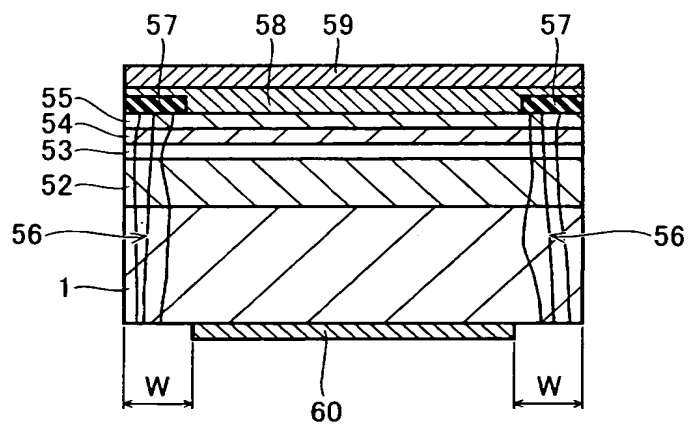
【図 19】



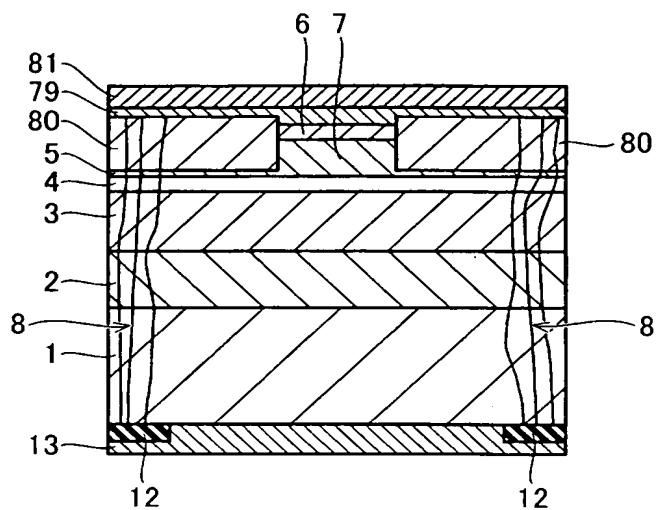
【図 20】



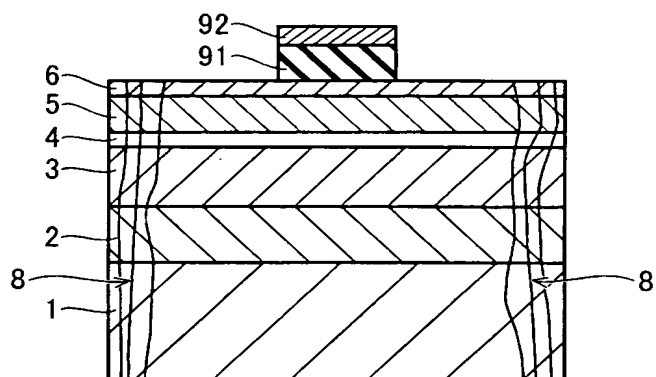
【図 21】



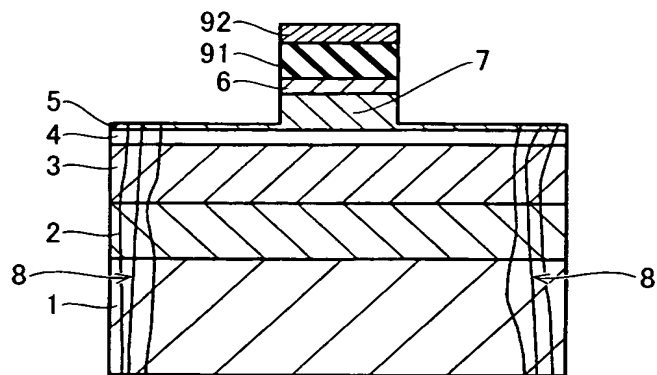
【図 2 2】



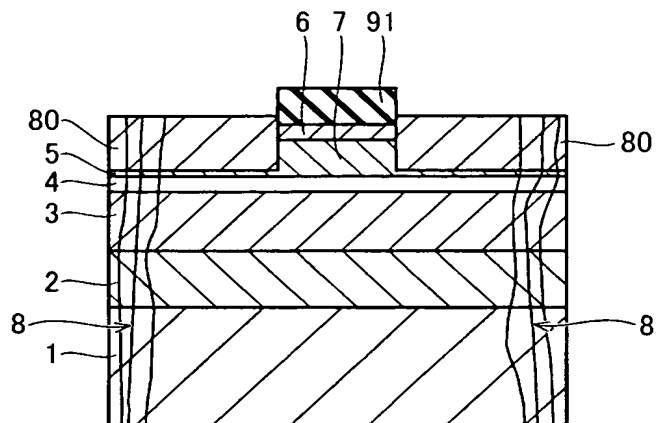
【図 2 3】



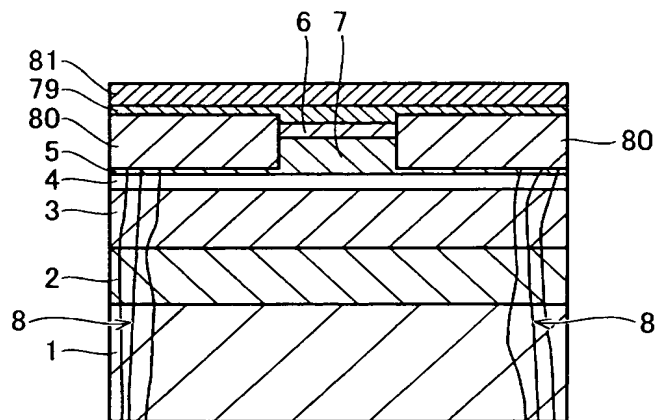
【図 2 4】



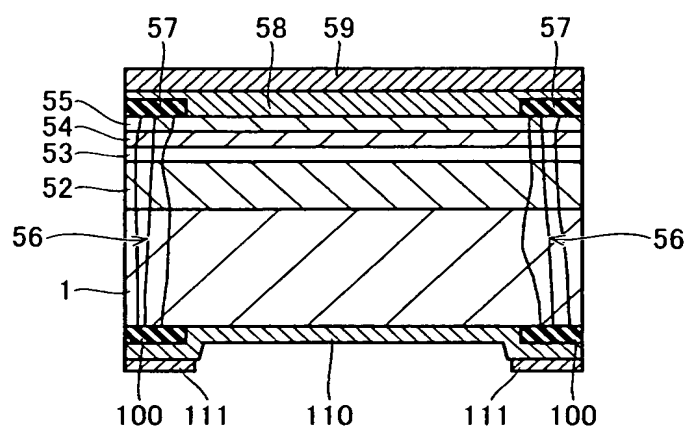
【図 25】



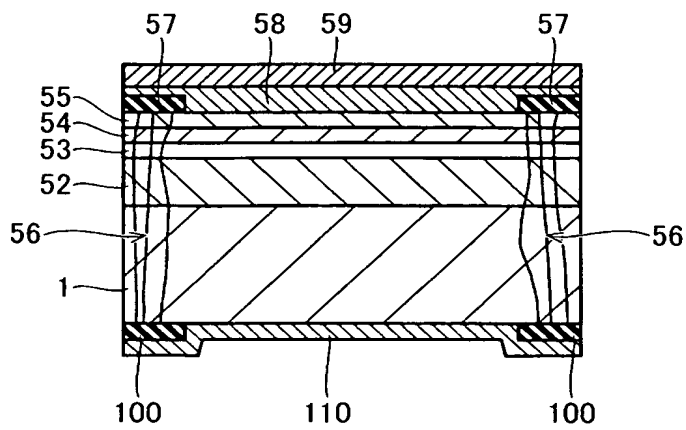
【図 26】



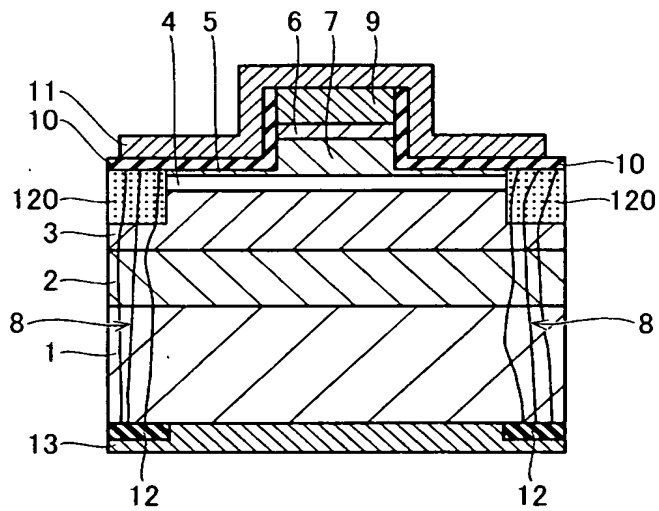
【図 27】



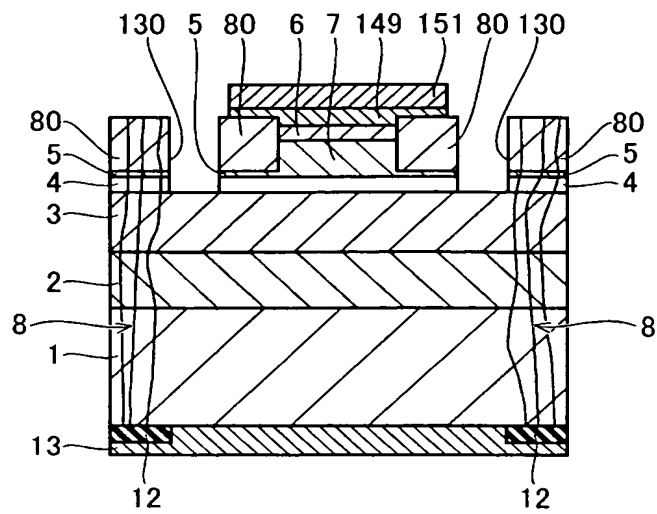
【図 28】



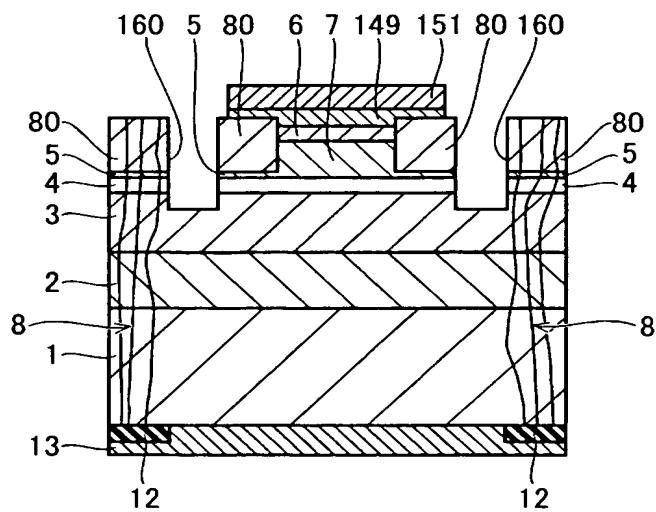
【図 29】



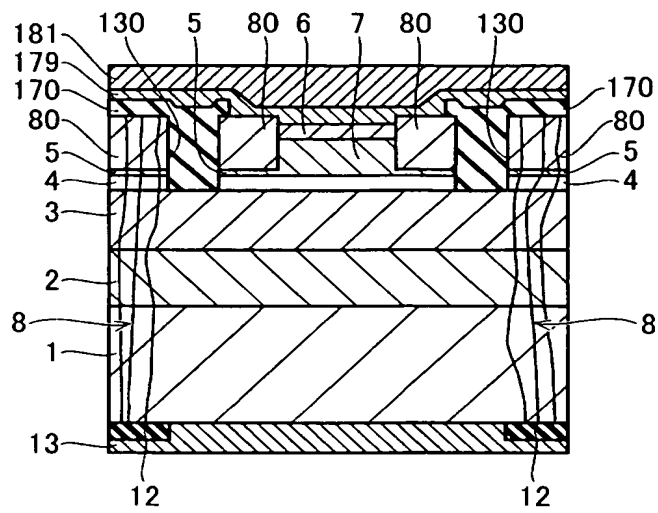
【図 30】



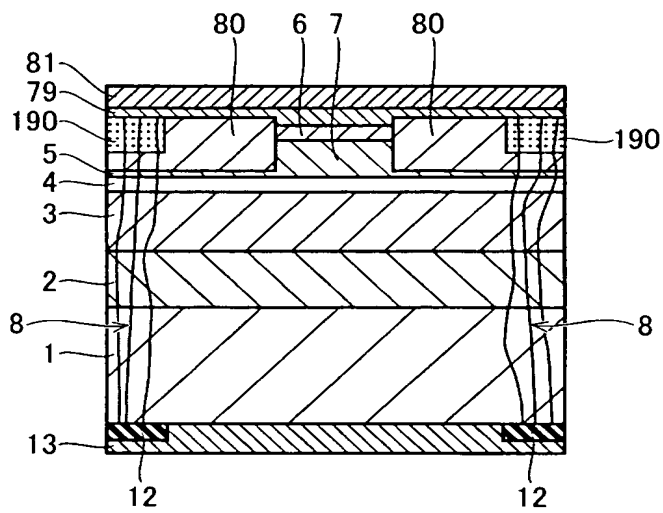
【図 31】



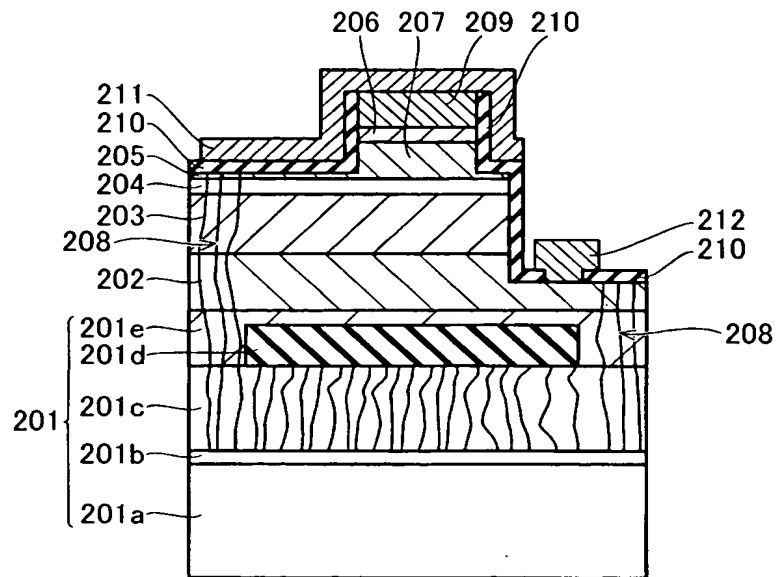
【図 3 2】



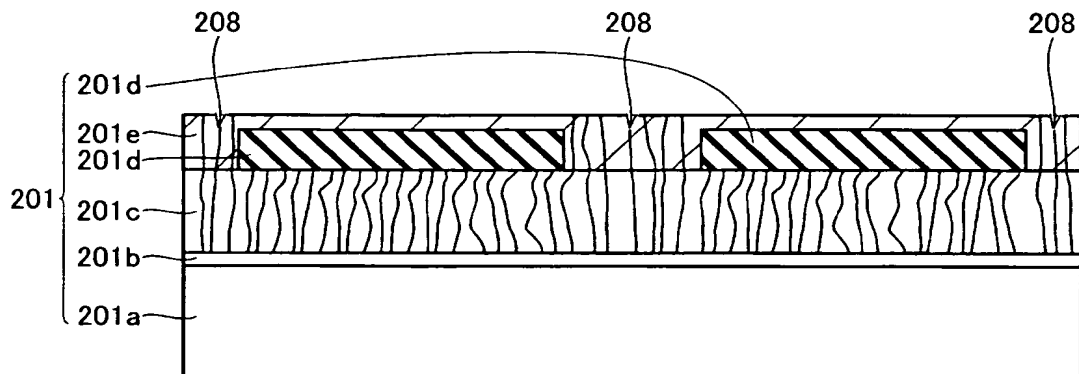
【図 3 3】



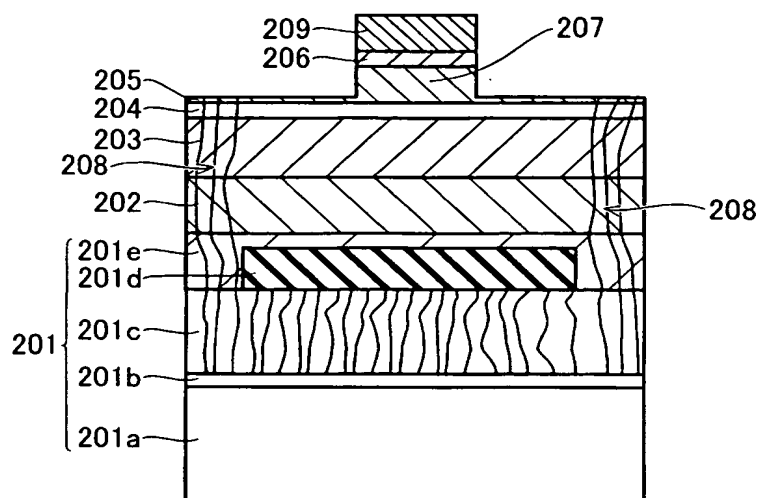
【図 3 4】



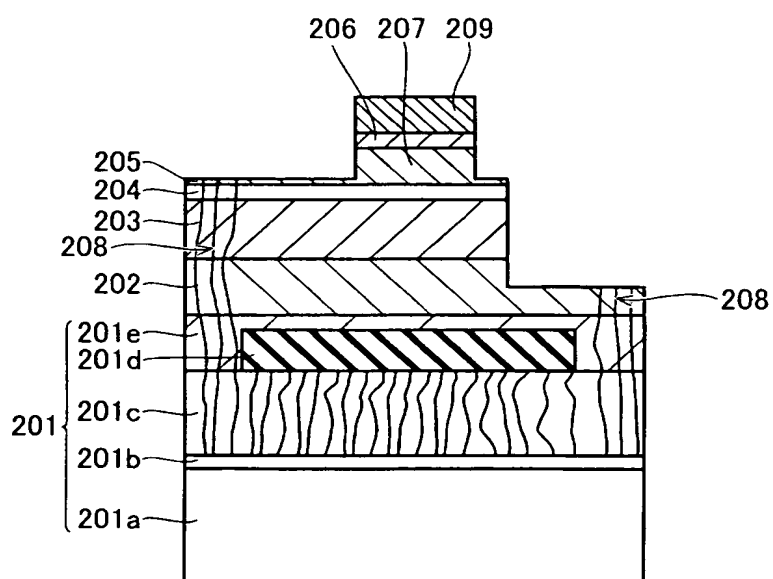
【図 3 5】



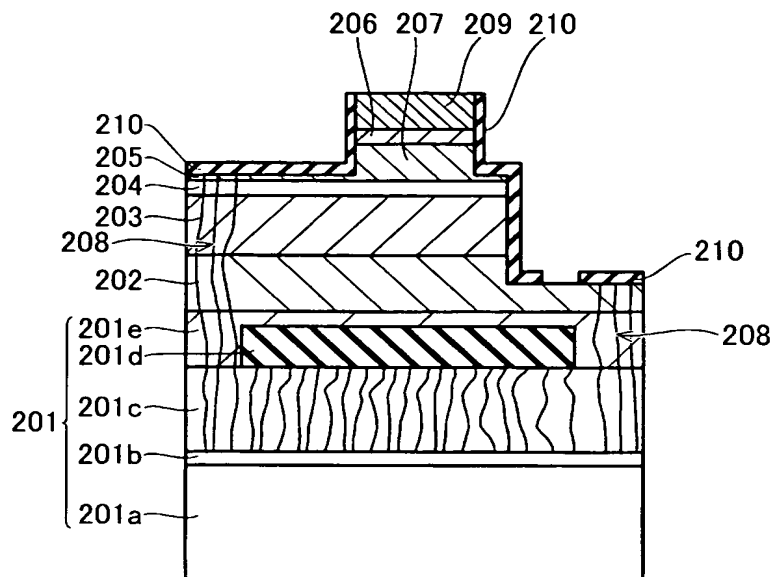
【図 3 6】



【図 3 7】



【図 38】



【書類名】 要約書

【要約】

【課題】 素子の動作を安定化することが可能な半導体素子を提供する。

【解決手段】 この半導体素子は、少なくとも裏面の一部に転位の集中している領域 8 を有する n 型 G a N 基板 1 と、n 型 G a N 基板 1 の表面上に形成された窒化物系半導体各層（2 ～ 6）と、n 型 G a N 基板 1 の裏面上の転位の集中している領域 8 に形成された絶縁膜 1 2 と、n 型 G a N 基板 1 の裏面の転位の集中している領域 8 以外の領域に接触するように形成された n 側電極 1 3 とを備えている。

【選択図】 図 1

特願 2 0 0 3 - 0 3 1 4 1 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社